

时间膨胀法减小延迟对滞环控制仿真的影响

周宏林

(东方电气股份有限公司中央研究院,四川 成都 611731)

摘要:在滞环电流控制的硬件在环仿真中,仿真机的输入到输出延迟会导致滞环带宽增加,进而降低滞环控制的开关频率,让并网逆变器的电流谐波增大,使硬件在环仿真下的控制器性能劣于真实系统。随着开关频率的提高,一味通过提高仿真机性能来解决仿真准确度问题不可行。提出一种基于时间膨胀的方法来解决这一问题,使得可以在普通的仿真机上也可以完成滞环电流控制的性能验证。最后,通过试验验证了所提出方法的可行性和正确性。

关键词:硬件在环;实时仿真;延迟;滞环电流控制;并网逆变器

中图分类号:TM464;TM743 **文献标识码:**A **DOI:**10.19457/j.1001-2095.dqed19933

Time Expansion Method to Reduce the Effect of Delay on Hysteresis Control Simulation

ZHOU Honglin

(Central Research Academy of Dongfang Electric Corporation,
Chengdu 611731, Sichuan, China)

Abstract: The delay of the simulator can apparently increase the hysteresis current band, reduce the switching frequency, and increase the current THD (total harmonic distortion) and therefore deteriorate the control. With the increase of switching frequency, it is not feasible to solve the accuracy problem only by upgrading the simulator. As an alternative software solution, a time expansion method was proposed. The experimental results prove that the proposed time expansion method can effectively cope with simulator delay in the HIL (hardware-in-the-loop) study of hysteresis current control, making it possible to achieve satisfactory performance with an ordinary simulator.

Key words: hardware-in-the-loop (HIL); real-time simulation; delay; hysteresis current control; grid connected converter

半实物实时仿真系统如RT-LAB,RTDS等,近年在电力电子研究领域得到了广泛的应用^[1-2]。随着电力电子器件技术进步,现代电力电子较多采用有较高速度的可关断开关器件,如MOSFET (metal oxide semiconductor field effect transistor), IGBT (insulated gate bipolar transistor)等。由于被控对象开关频率较高,因此为了准确模拟其开关暂态过程中各电参量的变化,要求仿真机具有非常快的响应能力,即要求仿真机具有非常高的实时性。例如,对于1 kHz的开关信号,开关周期即为1 ms,并且开关跳变在这1 ms中间的任何一

个时刻都可能发生。要比较准确地模拟开关周期内的电量(如电流)变化,如果分辨率做到100点,那么仿真步长就要降低到10 μ s。这意味着,仿真机必须要在10 μ s之内完成1次被控对象的模拟。可以说,50 μ s以下的步长仿真是电力电子硬件在环仿真研究中经常遇到的情形。

仿真机无论采用CPU(central process unit)还是FPGA(field programmable gate array)的架构形式,本质上是一台高性能的计算机,它运行在实时操作系统下,实现输入采样、迭代计算和外部输出,仿真机运行典型时序如图1所示。要准确模拟

被控对象,仿真机除了要有快速的周期迭代计算能力,即具有很小的仿真步长外,还要具有尽可能短的输入到输出的延迟。输入到输出延迟也是半实物仿真区别于纯离线仿真和真实系统的一个独特之处,而这往往被实时仿真机用户忽略。

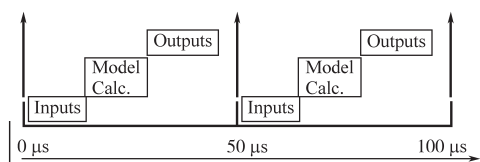


图1 仿真机运行典型时序

Fig.1 Typical time sequence of the simulator

对于并网逆变器应用来说,滞环电流控制是除了矢量控制之外的一种非常经典的控制方式^[3-6]。尽管滞环控制存在开关频率不固定、谐波分布广的问题,但其优点也很突出,例如它具有非常快的动态响应、控制精度高、易于设计和调试等。此外,近年在多电平逆变器研究中,滞环电流控制也受到关注^[7-10]。

本文将考查采用硬件在环实时仿真系统来仿真基于滞环电流控制的并网逆变器时的特殊问题。研究硬件在环实时仿真系统延迟对控制仿真的影响,通过理论分析输入输出延迟带来的仿真误差,通过实例对比纯离线仿真和半实物仿真的结果,验证理论分析。通过实际案例研究指出,在一些特殊的场合下,即使在仿真步长很小的情况下,仿真机的输入输出延迟也会带来较大的仿真误差,甚至错误的仿真结果。

1 变流器滞环电流控制硬件在环仿真系统

网侧变流器是直驱风力发电系统中的重要部件之一,主要实现对直流母线电压和并网功率的控制,其中并网电流的控制是实现电压和功率控制的基础。如图2所示,网侧变流器采用单电感并网,电流环控制器采集三相电感电流 i_{abc} ,跟相应的给定电流 i_{abc_ref} 做差,再经过电流滞环生成控制三相桥臂的PWM信号。

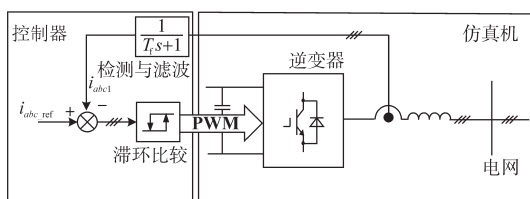


图2 变流器滞环电流控制硬件在环仿真系统

Fig.2 HIL simulation system for hysteresis current control of grid connected converter

电流滞环控制的原理如图3所示,当受控的并网电感电流 i_{abc} 上升至给定电流和迟滞电流之和 $i_{abc_ref} + I_{band}$ 时,对应桥臂的上管关断,下管开通,电感电流 i_{abc} 将开始下降,当下降至 $i_{abc_ref} - I_{band}$ 时,上管开通而下管关断。图3中, T_{UP} 对应上管开通时间, T_{DN} 对应下管的开通时间。很容易看出,通过调节迟滞电流 I_{band} 的大小就可以调节开关频率和被控电流 i_{abc} 的THD。迟滞电流越小,开关频率越高,被控电流波形将越接近给定电流,THD将越小。

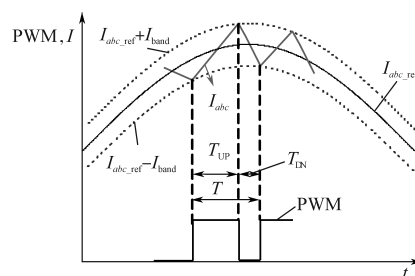


图3 电流滞环控制原理图

Fig.3 Principle of hysteresis current control

2 输入到输出延迟的来源分析

硬件控制系统与仿真机之间的闭环系统中,存在多种延迟。这些延迟的来源可以归纳为2类:1)控制系统自身的延迟;2)仿真机的延迟。在滞环电流控制中,控制系统采用的是模拟电路,而仿真机采用的是数字处理器,因而二者延迟的来源存在明显的不同。

2.1 控制系统的延迟

控制系统自身的典型延迟包括:信号滤波延迟以及滞环比较PWM输出传输带来的延迟。滞环控制系统的延迟是固有的延迟,无论被控对象是仿真机还是真实变流器,这部分延迟都是存在的,不是本文讨论的重点。

2.2 仿真机的延迟

仿真机本质上是一套数字系统,由“PWM输入—数字化处理器计算—模拟量输出”环节组成,因此它的典型延迟包括:

1) PWM输入预处理带来的延迟。即输入PWM经过周期平均化和边沿检测后形成数字量的过程带来的延迟;

2) 数字通信带来的延迟。即经预处理后的PWM数字信号(一般是周期平均值和边沿时间戳)进入处理器计算前,以及处理器计算完成后到PWM调制前,因板上或板间通信(通常板间通信更为明显)导致的延迟;

3)处理器计算周期带来的延迟。即因处理器控制循环周期计算导致的1拍或多拍延迟,本质上是离散化系统所固有的延迟;

4)D/A(digital-to-analog)转换输出带来的延迟。本质上D/A是一种零阶保持器,它具有固有的延迟特性。

处理器计算周期延迟取决于处理器的速度、所用实时操作系统的类型以及任务量。目前市场上的实时仿真器产品将其控制在1个仿真步长之内没有太大的难度,但仿真步长越大延迟越大。

输入到输出延迟的关键主要在于信号进入处理器前和出处理器后的阶段,包括板间通信、PWM输入处理和D/A输出处理。一般仿真机出于易扩展考虑,采用与处理器相独立的输入/输出卡的架构,这决定了板间通信的必然性,必须采用非常高速的通信总线才能将延迟控制得足够小。此外,PWM输入预处理D/A的保持时间即为1个步长,因此输入到输出的总延迟时间实际会很可观,通常能够达到2~3个步长。

综上,可以将仿真机的延迟归纳为3部分:输入延迟 T_i 、输出延迟 T_o 以及周期离散化延迟 T_s 。从输入到输出的总延迟 $T_D = T_i + T_o + T_s$ 。仿真机的延时组成如图4所示。

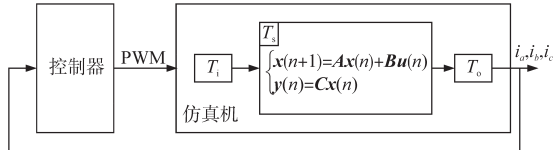


图4 仿真机的延迟组成

Fig.4 Components of delay related with HIL simulator

3 仿真系统延迟对滞环控制影响分析

硬件在环仿真机延迟下的滞环电流行为如图5所示,从滞环控制器的视角看,如果被控对象是真实的逆变器,当控制器的PWM输出后,那么逆变器就会立即响应,同时各相并网电流也会立即发生变化,控制器能够立即感受到该变化,记此电流为真实电流 i_{abc} 。但采用仿真机模拟真实逆变器后,由于仿真机从输入到输出存在延迟,实际上要到 T_D 时刻之后,控制器才能感受到各相并网电流的变化,记此电流为延迟后的电流 $i_{abc_delayed}$ 。

在滞环控制器设计时,其控制率设计为

$$PWM_{abc} = \begin{cases} \text{开} & i_{abc_ref} - i_{abc} > I_{band} \\ \text{关} & i_{abc_ref} - i_{abc} < -I_{band} \\ \text{不变} & -I_{band} < i_{abc_ref} - i_{abc} < I_{band} \end{cases} \quad (1)$$

式中: PWM_{abc} 为开关信号; i_{abc_ref} 为电流参考给定; i_{abc} 为反馈电流; I_{band} 为滞环比较带宽。

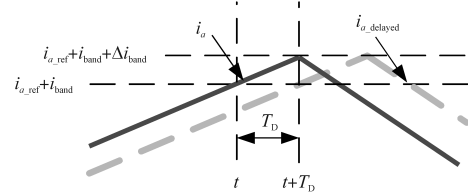


图5 硬件在环仿真机延迟下的滞环电流行为

Fig.5 The behavior of hysteresis current with HIL simulator delay

由于仿真机的延迟存在,送入控制器的不再是真实的电流 i_{abc} ,而成为了 $i_{abc_delayed}$ 。由此,滞环比较的过程也将发生变化,见图5。当A相真实电流 i_a 于 t 时刻上升至上门限 $i_{a_ref} + I_{band}$ 时,本应在 t 时刻发生滞环比较并因IGBT开关动作电流发生转折向下翻转,但由于控制器实际获得的反馈电流 $i_{a_delayed}$ 尚未达到该上门限,因此控制器并未动作,真实电流将继续上升。直到 $t + T_D$ 时刻,延迟后电流 $i_{a_delayed}$ 到达滞环比较上门限 $i_{a_ref} + I_{band}$ 时,控制器才动作,A相真实电流此时才开始下降,这时真实电流 i_a 已经超出了滞环比较上门限电流,超出量为 ΔI_{band} 。由图5可以计算得到 ΔI_{band} 如下式所示:

$$\Delta I_{band} = \frac{di}{dt} T_D = \frac{u_{dc}}{2L} T_D \quad (2)$$

其中,电流斜率 di/dt 用 $u_{dc}/(2L)$ 来估计, u_{dc} 为逆变器直流母线电压, L 为并网电感量。

由以上分析可以看出,仿真机的输入到输出延迟将导致滞环比较带宽增加,进而降低滞环比较控制的开关频率,让并网逆变器的电流谐波增大,使得硬件在环仿真下的控制器性能劣于真实系统,无法真实有效地模拟真实系统。

4 延迟影响的呈现与评估

为定量评估仿真系统延迟对滞环控制影响的大小,采用对比研究的方式。首先采用纯离线仿真的方式,来获得被控对象是没有延迟的真实变流器情况下的控制性能,然后再通过硬件在环仿真获得被控对象是有延迟仿真机时的控制性能。通过对比观察二者的差异。仿真主

要参数为:额定电压 690 V,额定频率 50 Hz,并网电感 0.12 mH,直流母线电压 1 150 V。

4.1 纯离线仿真验证

纯离线仿真中的控制器和并网逆变器均在仿真软件中进行。控制器采用模型搭建,但充分考虑实物控制器的所有滤波及延迟环节,对其进行详细建模,保证其特性一致。并网逆变器模型使用开关模型,同时不进行离散化,保证精度。由于控制器与并网逆变器都在连续域中,因此采用变步长连续求解器进行仿真,最大仿真步长 1 μ s,进一步保证精度。

相电流给定为 400 Arms,功率因数为 1,滞环带宽 I_{band} 设定为 50 A。无仿真机延迟的变流器三相并网电流仿真结果如图 6 所示。可以看出,实测开关频率大约为 2.65 kHz,并网电流 THD 为 20%。值得注意的是,由于基波电流较小,因此谐波比例相对较大。

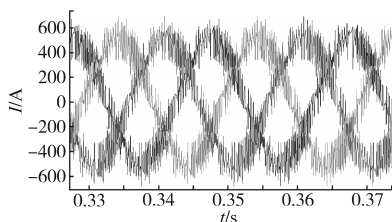


图6 无仿真机延迟的变流器三相并网电流

Fig.6 Three-phase current of the grid connected converter without simulator delay

当在真实变流器模型中加入 30 μ s 延迟后,仿真获得的电流波形如图 7 所示。可以看出,实测开关频率降低为 1.65 kHz,电流波形质量变差,

并网电流 THD 上升至 50%。

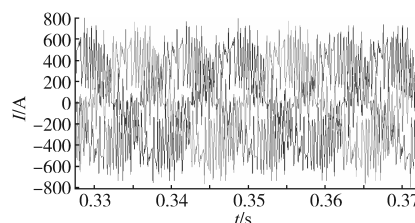


图7 加入仿真机延迟时变流器三相并网电流

Fig.7 Three-phase current of grid connected converter with simulator delay

4.2 硬件在环仿真验证

为验证上述分析,搭建硬件在环试验平台如图 8 所示。控制器采用实物控制器,硬件在环仿真验证的仿真机采用 RT-LAB,仿真机采用 OP5600 HILBox。

使用 RT-LAB 的 ARTEMIS 和 RT-Event 库元件构建被控变流器模型,以提高仿真的实时性。仿真步长 10 μ s,仿真模型如图 9 所示。

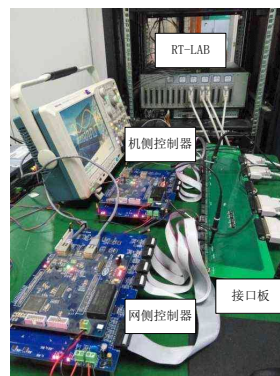


图8 基于 RT-LAB 的硬件在环仿真平台

Fig.8 The HIL experimental setup based on RT-LAB

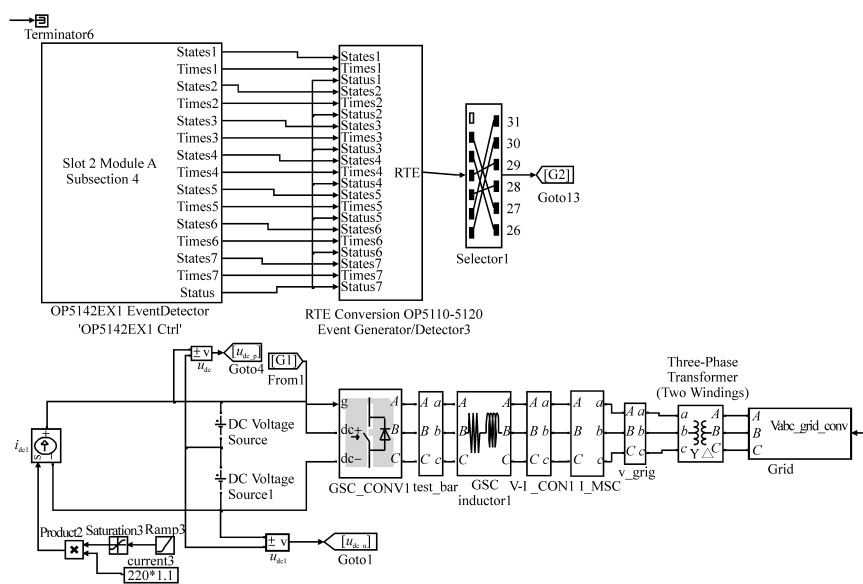


图9 RT-LAB 中的并网逆变器模型

Fig.9 The model of grid connected converter in RT-LAB

根据实际测试,步长为 $10\ \mu\text{s}$ 时,仿真机 OP5600 的输入到输出延迟约为 3 个步长,即 $30\ \mu\text{s}$ 。在滞环带宽设定为 $50\ \text{A}$ 时,仿真结果如图 10 所示,实测开关频率大约为 $1.55\ \text{kHz}$,并网电流 THD 为 70%。

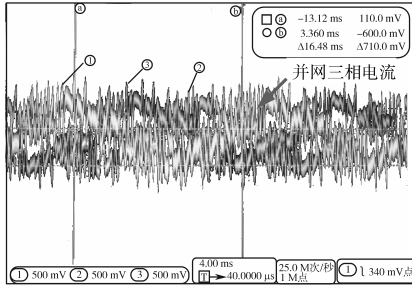


图 10 硬件在环仿真下的并网三相电流

Fig.10 Three-phase current of grid connected converter in the HIL simulation

对比纯离线仿真结果可以看出,由于输入输出延迟的存在,硬件在环仿真结果比真实结果差很多,并且其开关频率和 THD 与假定有 $30\ \mu\text{s}$ 延迟的真实系统接近。这可以说明,硬件在环仿真机的输入输出延迟对滞环控制仿真而言影响非常大。

通过对硬件在环仿真器的硬件升级以减小延迟,可以在一定程度上缓解这一问题,但需要付出十分高昂的成本代价。并且随着电力电子器件开关频率的提高, $10\ \text{kHz}$ 甚至更高开关频率的仿真是非常常见的,这意味着需要更加先进的仿真硬件。显然,一味升级硬件这一思路是不可取的,需要有一种新方法来解决该问题。

5 基于时间膨胀法减小仿真延迟影响

由上文可知,为保证硬件在环仿真的准确度,基本原则是要减小仿真器延迟的影响。由于通过提升硬件在环仿真器速度这一方式存在实际限制,故采用另一种途径即人为降低被控对象的运行速度的方法。本文所提出的时间膨胀方法通过对被控对象,也即网侧逆变器和电网,进行时间变换,使整个被控对象模型运行在一个减速后的世界中。对被控对象本身而言,它们感受不到自身的运行速度的减慢,但在物理世界中,可以观察到被控对象运行速度减慢。若该时间变换因子记为 k ,则减速后在物理世界中观察的电网频率变为

$$f'_g = f_g / k \quad (3)$$

式中: f_g, f'_g 分别为时间膨胀前、后的电网频率。

随着电网对象频率的降低,并网电感值也需要进行比例变换,以保证并网电流的幅值保持不变。而电感或线路的寄生电阻参数则需保持不变,以保证能量守恒:

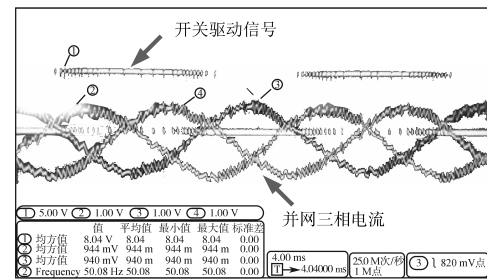
$$\begin{cases} L' = kL \\ R' = R \end{cases} \quad (4)$$

式中: L, L' 分别为时间膨胀变换前、后的并网电感值; R, R' 分别为时间膨胀变换前、后的寄生电阻值。

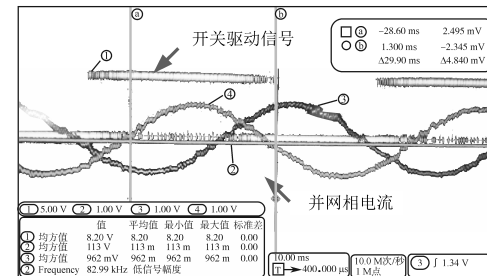
另一方面,由于半实物仿真器在物理世界中,因此其输入延迟 T_i 、输出延迟 T_o 以及步长延迟 T_s 均不受上述时间膨胀变换的影响。

所以根据式(2)可知,滞缓控制的电流带宽误差 ΔI_{band} 将会减小为原来的 $1/k$,最终带来仿真精度的提升。

为验证所提出方法的可行性和正确性,对 2 组半实物仿真结果进行对比。半实物平台的配置与第 4 节相同。时间膨胀因子 k 设为 3.0。图 11 给出了采用时间膨胀法前、后的仿真性能对比结果。可以看出,采用时间膨胀法后,滞环控制的开关频率得到明显提高,半实物仿真的电流结果更加接近真实的情况,半实物仿真性能得到了明显的提升。



(a)未使用时间膨胀法



(b)使用时间膨胀法

图 11 时间膨胀法使用前后的半实物仿真对比

Fig.11 Comparison results of HIL simulation before and after using of the proposed method

6 结论

通过上述研究可以得出,硬件在环实时仿真

系统仿真机的输入到输出延迟对滞环电流控制有明显的负面影响,它会导致滞环比较带宽增加,进而降低滞环比较控制的开关频率,让并网逆变器的电流谐波增大,使得硬件在环仿真下的控制器性能劣于真实系统。并且,即使仿真机保持较小的仿真步长,但也可能无法真实有效地模拟出真实的滞环电流控制系统的性能。

采用具有更高性能的仿真机可以缓解延迟的影响。但缩短步长意味着更高速的迭代求解,而缩短输入、输出时间意味着采用更高性能的通信总线以及输入、输出板卡(高速FPGA,D/A)等。这都将带来仿真机成本的显著提高。并且,随着开关频率的提高,一味通过提高仿真机性能来解决硬件在环仿真准确度问题的思路并不可取。

本文提出的基于时间膨胀的方法通过对被控对象,也即网侧逆变器和电网,进行时间变换,使整个被控对象模型运行在一个减速后的世界中,但同时保持真实控制器不受影响,从而减小仿真机延迟的影响,使得可以在普通的仿真机上也能完成滞环电流控制的性能验证。最后,通过试验验证了所提出方法的可行性和正确性。

参考文献

- [1] 吴小田,代同振,肖文静,等.基于RT-LAB的直驱风力发电网侧变流器实时仿真[J].电力电子技术,2013,47(10):17-19.
- [2] 刘静波,肖文静,周宏林,等.基于RTDS的风电网侧变流器

半实物实验[J].电力电子技术,2013,47(10):20-21.

- [3] Tekwani P N, Kanchan R S, Gopakumar K. Novel Current Error Space Phasor Based Hysteresis Controller Using Parabolic Bands for Control of Switching Frequency Variation[J]. IEEE Transactions on Industrial Electronics, 2017, 54(5): 2648-2656.
- [4] Brod D M, Novotny D W. Current Control of VSI-PWM Inverters[J]. IEEE Trans. on Ind. Appl., 1985, 21(3): 562-570.
- [5] Bose B K. An Adaptive Hysteresis-band Current Control Technique of a Voltage Fed PWM Inverter for Machine Drive System[J]. IEEE Trans. on Ind. Electron., 1990, 27(5): 402-408.
- [6] Malesani L, Mattavelli P, Tomasin P. High-performance Hysteresis Modulation Technique for Active Filters[J]. IEEE Trans. on Power Electron., 1997, 12(5): 876-884.
- [7] Mohseni M, Islam S M, Masoum M A S. Enhanced Hysteresis-based Current Regulators in Vector Control of DFIG Wind Turbines[J]. IEEE Transactions on Power Electronics, 2011, 26(1): 223-234.
- [8] Mohseni M, Islam S M. A New Vector-based Hysteresis Current Control Scheme for Three-phase PWM Voltage-source Inverters[J]. IEEE Transactions on Power Electronics, 2010, 25(9): 2299-2309.
- [9] Ho C N, Cheung V S P, Chung H S. Constant-frequency Hysteresis Current Control of Grid-connected VSI Without Bandwidth Control[J]. IEEE Transactions on Power Electronics, 2009, 24(11): 2484-2495.
- [10] Dalessandro L, Round S D, Kolar J W. Center-point Voltage Balancing of Hysteresis Current Controlled Three-level PWM Rectifiers[J]. IEEE Transactions on Power Electronics, 2008, 23(5): 2477-2488.

收稿日期:2019-02-08

修改稿日期:2019-03-23