

中压变流器复合结构快速锁相环设计

程海玉¹, 张礼兵²

(1. 嘉兴学院 南湖学院, 浙江 嘉兴 314001; 2. 嘉兴学院 机电工程学院, 浙江 嘉兴 314001)

摘要:针对中压变流器在短时电网电压跌落时出现的同步故障导致停机的问题, 设计了两种复合结构的快速锁相环方案。第一种方案适用于当变流器系统因为电网电压跌落完全失去同步时的工况, 即是一种低电压穿越时序控制, 可避免电容放电, 并最小化系统恢复时间。第二种方案可防止同步故障, 即在电压跌落结束后快速恢复变流器运行。两种方案均使用了单输入模糊逻辑控制器来实现, 以获得较快的动态响应。利用硬件在环实时仿真实验平台对控制策略进行了测试。实验结果表明, 两种方案均能有效提高锁相速度并避免短时电网电压跌落导致的设备保护停机。

关键词:锁相环; 中压变流器; 模糊逻辑; 故障穿越

中图分类号: TM46 **文献标识码:** A **DOI:** 10.19457/j.1001-2095.dqed20535

Design of Fast Phase-locked Loop for Medium Voltage Converter Hybrid Structure

CHENG Haiyu¹, ZHANG Libing²

(1. Nanhu College, Jiaxing University, Jiaxing 314001, Zhejiang, China;

2. College of Mechanical and Electrical Engineering, Jiaxing University, Jiaxing 314001, Zhejiang, China)

Abstract: Aiming at the problem of three-level neutral-point clamped medium voltage converter shutdown caused by synchronization fault in short-term power grid voltage dip, the two kinds of hybrid structure fast phase-locked loop scheme were designed. The first scheme could deal with the converter system lost synchronization completely due to the voltage dip of the power grid and it was a low voltage ride-through process control that could avoid capacitor discharge and minimize system recovery time. The second scheme could prevent synchronization faults and restore converter operation quickly after voltage dip. Both solutions were implemented using a single-input fuzzy logic controller for faster dynamic response. The control strategy was tested using a hardware-in-the-loop real-time simulation experimental platform. The experimental results show that both schemes can effectively improve the phase-locking speed and avoid equipment protection shutdown caused by short-term grid voltage dip.

Key words: phase-locked loop; medium voltage converter; fuzzy logic; fault ride through

目前, 中压变流器广泛应用于各个工业领域, 如可再生能源、MW级电机驱动和高压直流输电线路等^[1-3]。其中三电平中点钳位型中压变流器由于其具有简单结构、兼容背对背双向变换以及低开关频率下具有高效率等优点而被大量使用^[4]。中压变流器在并网控制设计中通常使用观测的电网频率进行同步操作^[5]。另一方面, 变流器启动时, 在PWM调制前将先使用外部电源对电容预充电, 此过程耗时与电容容值相关, 可能达到30~40 s, 一旦预充电完成, 控制器则进行

与电网的同步^[6]。

电压跌落是使变流器停机的最常见原因。根据相关记录, 持续时间约20~100 ms的短时电压跌落约占所有电压跌落故障的46%^[7-8], 而其中大概60%的电压跌落低于额定电压值的50%。电压跌落时易引发同步故障, 使变流器停机。因此, 工业变流器设置了同步监控来持续地检查锁相环(phase-locked loop, PLL)信号, 若超限则直接发出跳闸指令进行停机保护。因此, 设计鲁棒性强、快速稳定的PLL可避免变流器在电压

基金项目:浙江省基础公益研究计划资助项目(LGG18E050016)

作者简介:程海玉(1981-), 女, 讲师, 硕士, Email: chenghaiyu@zjxu.edu.cn

跌落时保护跳闸,但就PLL的数学物理本质而言,难度较大^[9]。

当变流器系统出现保护跳闸,则需要相当长的时间才能恢复运行。恢复运行首先需启动PLL与电网重新同步,同时对直流侧电容器进行预充电,这可能需耗时更长,建立好直流电压后,变流器才可继续运行。如果在电压跌落发生后PLL能实现快速同步,则可以保持住直流电容电压,变流器即可快速恢复正常运行。然而,大多数工业用变流器使用的是传统带滤波环节的同步旋转坐标PLL,通常具有相对低的带宽,约15~75 Hz,并采用简单的低通滤波器来滤除负序分量,带宽低,动态响应较慢^[10-12]。慢动态响应的PLL将显著降低变流器的整体性能,使得恢复过程延长。对此,文献[13]基于二阶广义积分器设计了一种快速的PLL方案,但采用的是双线性变换法离散,精度不算太高。文献[14]基于椭圆拟合提高了传统PLL的锁相速度,可消除电网电压不平衡时产生的二倍频分量,但电网故障时的电压波形含多次谐波,其没有考虑。文献[15]通过改进滤波器设计并结合延迟信号消除(delayed signal cancellation, DSC)算法可快速实现正负序分离,并提高锁相速度和精度,但计算负担较重。文献[16]改进了传统的同步旋转坐标PLL,解耦了相位与频率,从而降低了锁相误差,但限于仿真,没有实际实验。同时,快速PLL设计大多还是从单一锁相问题出发,没有结合实际进行整体控制策略设计。

基于前述研究,本文从工程出发,分析了变流器输入电压短时跌落的情况,设计了两种复合结构快速PLL方案。在第一种方案中,假设因为严重的电压跌落而失去同步,故包含了低电压穿越时序控制和对应的复合结构PLL,并结合单输入模糊逻辑控制器(single-input fuzzy logic controller, SFLC)以最小化同步时间。第二种方案利用延迟信号消除算法来增强在电压跌落期间对电网相角的估计,从而可避免保护跳闸。最后,开展了仿真和实验验证。

1 电网电压短时跌落分析

图1为MW级中压电机驱动系统示意图,其中包含有三电平中点钳位型中压变流器。变流器额定容量7 MV·A,后端变频器驱动功率为5.5 MW的同步电机。

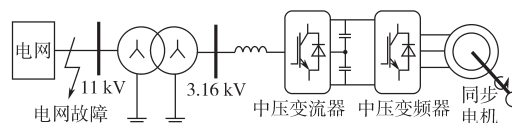


图1 MW级中压电机驱动系统示意图

Fig.1 Schematic diagram of megawatt medium voltage motor driving system

图2为短时电网电压跌落波形,其中 u_{ga} , u_{gb} , u_{gc} 为变流器输入电压; u_{dc} 为直流电压; u_d , u_q 分别为 d , q 轴电压; u_{gms} 为输入电压有效值。图2a为典型电网故障时的变流器输入电压跌落波形,故障持续时间113 ms,电压跌落达到44%。如图2b所示,PLL受电压跌落影响使 q 轴电压分量达到0.29(标么值),超过设定限值0.15(标么值),故系统保护停机,直流侧放电。进一步分析可知,若直流侧电压保持在其最小极限以上直到电压跌落结束,而PLL快速响应,则可避免变流器保护停机。因此,有必要开发出响应速度更快的PLL。

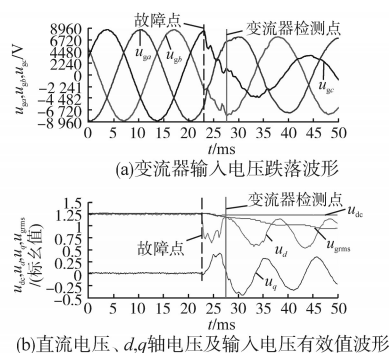


图2 短时电网电压跌落波形

Fig.2 Grid voltage dip waveforms in the short-term

2 复合结构快速PLL方案一

下面设计复合结构快速PLL方案一,以应对失去同步后的变流器重启和故障穿越。

2.1 变流器启动时序

图3为变流器直流电容预充电电路,其由变压器、绕线式电抗器、开关和二极管整流器构成。

变流器启动包含3个阶段。首先,使用图3所示的预充电电路将直流侧电容预充电到一定电压,然后闭合主断路器开始PLL同步,最后运行闭环控制系统完成启动过程。预充电时间与电容容值及最大充电电流相关。如案例中7 MV·A变流器前端电容为36 mF,直流侧电压为5 500 V,所记录充电时间约为34 s,而充电完成到调制输出还需30 s左右。当变流器一旦实现同步,则准备开始进行闭环控制。

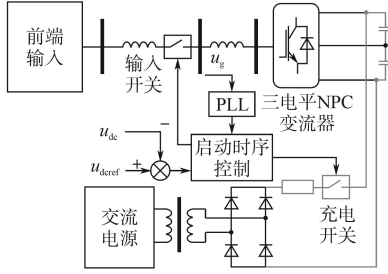


图3 电容预充电电路

Fig.3 Capacitor precharge circuit

图4为传统PI型PLL锁相同步波形,其中, θ_{ug} 为输入电压相角, θ_{PLL} 为锁相角。从图4中可以看出,当相位差较大时,需耗时108 ms才能完成同步。当变流器在严重的电压跌落出现同步故障导致保护跳闸时,直流侧将通过放电电阻进行放电。因此,需设计一个专门的控制方案。

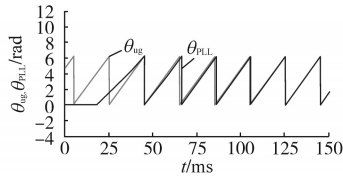


图4 传统PLL同步波形

Fig.4 Synchronization waveforms of traditional PLL

2.2 快速PLL方案一设计

当前端输入电压短时跌落时,变流器仍持续运行需考虑其额定电流、最小直流电压和同步。如果不满足上述条件之一,则将保护停机。假设输入电压跌落持续200 ms,导致了同步故障。要实现低电压穿越,需判断输入电压的负序分量值 u_{dq}^- 是否超过限值,如果超过则封锁控制脉冲,变流器将以二极管模式运行,如图5所示。一旦输入电压还原,变流器可在与电网重新同步后恢复正常运行。

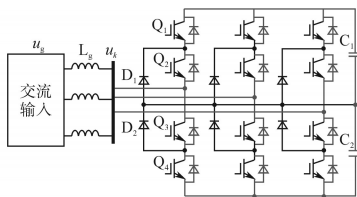


图5 变流器二极管模式运行

Fig.5 Converter operation in diode mode

图6为所设计的第一种复合结构快速PLL方案框图,主要包含有带低通滤波的传统PLL模块和SFLC模块,前者用于正常运行时的同步,而后者由于响应迅速^[17],将其用于电压跌落恢复后的快速相位估计。两者切换由复合逻辑控制器(hybrid

brid logic controller, HLC)管理。HLC中用输入电压正序分量 u_d^+ 和 u_q^+ 与设置值对比来判断同步是否正常,同时采用 u_{dq}^- 与设置值对比来判断同步故障。进一步,若电压跌落消除,HLC就输出控制电平启用SFLC模块,进行快速锁相,并在 u_q^+ 下降到切换限值以下时恢复到传统PLL输出。

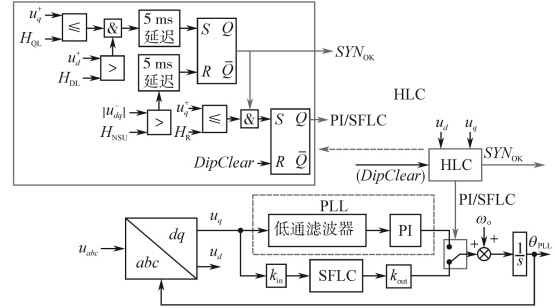


图6 复合结构快速PLL方案一框图

Fig.6 Block diagram of the fast PLL scheme 1 with hybrid structure

HLC参数设计为:低通滤波截止频率 $\omega_{off}=30$ Hz;传统PLL比例系数 $k_p=78$,积分系数 $k_i=2\ 525$; u_d^+ 下限 $H_{DL}=0.8$ (标么值); u_q^+ 上限 $H_{QL}=0.05$ (标么值); $|u_{dq}^-|$ 下限 $H_{NSU}=0.15$ (标么值);恢复限值 $H_R=0.02$ (标么值);SFLC输入增益 $k_{in}=50$,输出增益 $k_{out}=300\omega_o$, ω_o 为电网电压角频率。SFLC使用 Δu_q 作为误差信号。

模糊化过程由高斯隶属函数执行如下:

$$\mu(x) = \exp[-(c-x)^2/(2\sigma^2)] \quad (1)$$

式中: c, σ 分别为高斯模糊的中心点、模糊宽度。

SFLC的输出为 $\Delta\omega_o$,相角 θ_{PLL} 可由下式计算:

$$\theta_{PLL} = \int (\omega_o + \Delta\omega_o) \quad (2)$$

根据输入和中心点 c_i 的差异,输入信号 Δu_q 由隶属函数模糊化为

$$\mu_i = \exp\{-0.5[(x-c_i)/\sigma_i]^2\} \quad (3)$$

SFLC输出使用加权平均法计算:

$$f(x, c_i, \sigma_i, b_i) = \sum_{i=1}^m b_i \mu_i / \sum_{i=1}^m \mu_i \quad (4)$$

式中: b_i 为输出隶属函数中心。SFLC的输入和输出分别设置了增益 k_{in} 和 k_{out} 。将输入信号 Δu_q 代入式(3)所示的隶属函数模糊化表达式中的变量 x ,同时在中心点 c_i 上引入输入增益 k_{in} ,可得下式:

$$\mu_i = \exp\{-0.5[(\Delta u_q - k_{in} c_i)/\sigma_i]^2\} \quad (5)$$

然后将计算得到的隶属函数模糊化结果 μ_i 乘以输出增益 k_{out} ,并引入输出隶属函数中心 b_i 可得下式:

$$\gamma_i = (k_{out} b_i) \mu_i \quad (6)$$

式中: μ_i 为隶属函数模糊化计算结果; γ_i 为输出

隶属函数计算结果。

输出可计算为

$$\Delta\omega_o = \sum_{i=1}^m \gamma_i / \sum_{i=1}^m \mu_i \quad (7)$$

图7为复合结构快速PLL方案一的流程图。

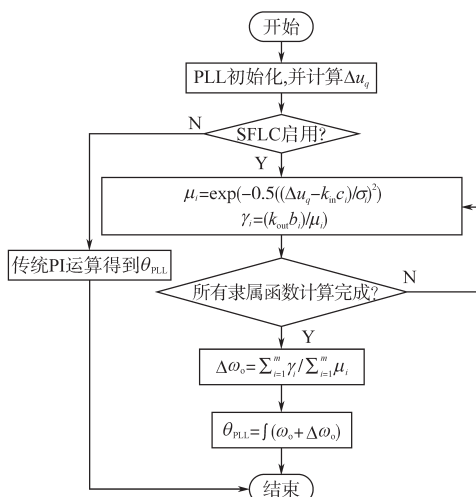


图7 复合结构快速PLL方案一流程图

Fig.7 Flow chart of the fast PLL scheme 1 with hybrid structure

2.3 仿真分析

为了验证所设计的第一种复合结构快速PLL方案,基于Matlab/Simulink仿真平台和图3所示系统搭建了仿真模型开展了仿真分析,仿真系统参数为:电网电压 $U_{B1RMS}=11$ kV,变流器输入电压 $U_{B2RMS}=3.15$ kV,额定频率 $f_N=50$ Hz,额定容量 $S_N=7$ MV·A,前端输入电感 $L_f=9.9$ mH,直流侧电容容值 $C_1=C_2=18$ mF,直流侧电压 $U_{dc}=5.5$ kV,额定电流 $I_{NRMS}=1\ 279$ A,开关频率 $f_{sw}=5$ kHz。

变流器初始工作在一半的额定容量,然后在 $t=0.3$ s时B相输入电压跌落至0.6(标么值),C相输入电压跌落至0.4(标么值),然后对比传统方案和新方案的效果。图8为采用传统PLL时应对电压跌落故障的仿真结果,其中, i_{gu}, i_{gb}, i_{gc} 为变流器三相电流; i_{rms} 为负载电流有效值。其中图8a为变流器输入电压波形,电压跌落持续了0.2 s。图8b为变流器输入电流和负载电流波形,从图中可看出,变流器以二极管模式运行。图8c为直流电压波形,图中可看出一旦电压恢复,直流电压就会升高到标准二极管模式电压,同时负载电流会增加,而重新同步约需0.101 s,如图8d中同步信号所示,一旦重新同步完成,即控制器开始输出调制信号,并将直流电压调节到目标值。传统PLL方案下,变换器约耗时0.15 s恢复运行。

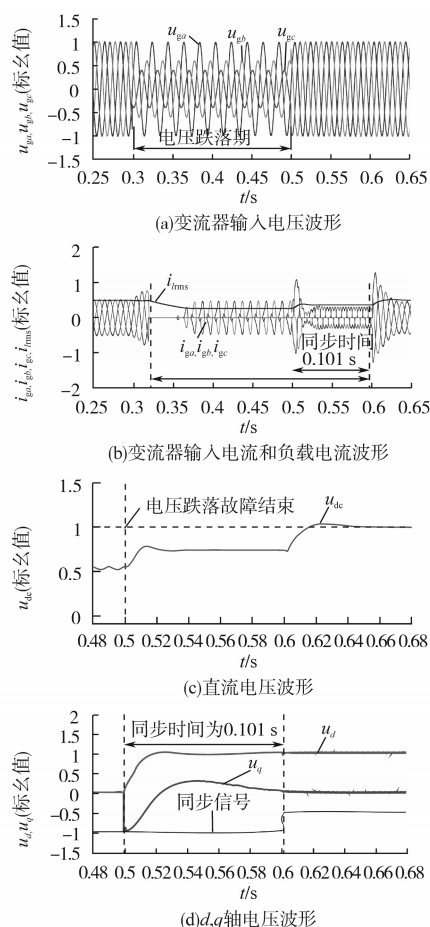


图8 传统PLL应对电压跌落故障的仿真结果

Fig.8 Simulation results of traditional PLL for voltage dip fault

图9为在图8相同工况下采用新方案的仿真结果。

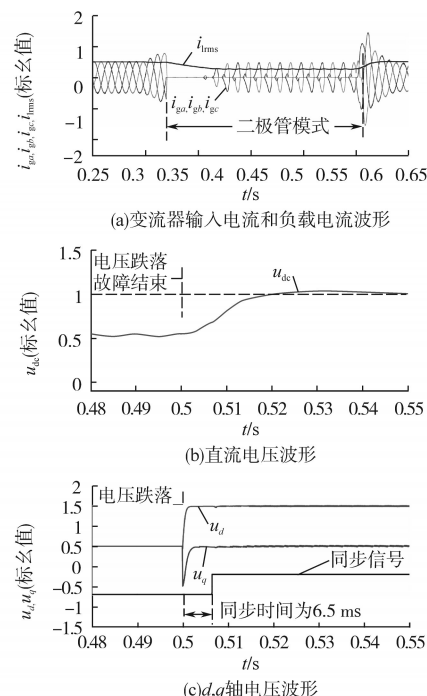


图9 第一种复合结构采用新方案的仿真结果

Fig.9 Simulation results of the first fast hybrid structure with novel scheme

图9a为变流器输入电流和负载电流波形,图9b为直流电压波形,图9c为在 $t=0.5$ s电压恢复后的 d, q 轴电压波形。由图9可知,启用SFLC后,约6.5 ms内快速完成同步,然后开始闭环调节。新方案总耗时约为0.06 s,明显小于传统PLL方案需耗时。仿真结果验证了所提出的方案的快速性。

仿真结果显示所提出的第一种复合结构快速PLL方案是有效的,其可确保在严重电压跌落故障下的变流器快速恢复运行。

3 复合结构快速PLL方案二

设计第一种方案主要是考虑变流器已失去同步时的快速启动。第二种方案则是考虑采用快速锁相避免失去同步。图10为复合结构快速PLL方案二框图。由图10所示,控制器使用了DSC算法,故可准确地估计正常和故障情况下的相角,此外还有一个SFLC控制器和HLC2模块。

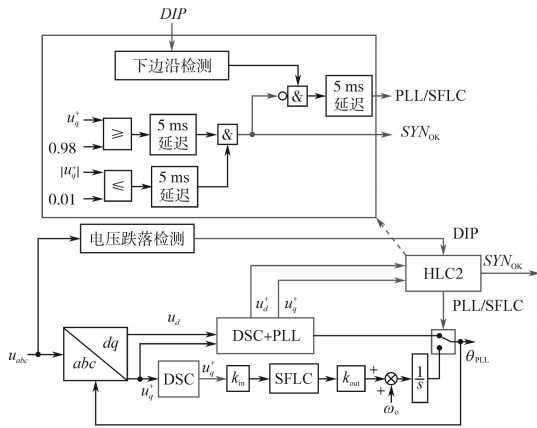


图10 复合结构快速PLL方案二框图

Fig.10 Block diagram of the fast PLL scheme 2 with hybrid structure

3.1 快速PLL方案二设计

如图11所示为DSC算法框图。

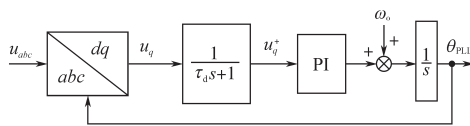


图11 DSC算法框图

Fig.11 Block diagram of the DSC algorithm

DSC算法中延迟采用一阶环节如下:

$$G_{DSC}(s) = \frac{1}{\tau_d s + 1} \quad (8)$$

其中 $\tau_d = \frac{T_o}{2N}$
 式中: $G_{DSC}(s)$ 为DSC延迟环节传递函数; T_o 为基

波周期; s 为拉普拉斯算子; N 为常数, 取值为4; τ_d 为延迟时间常数。图11的开环传递函数为

$$G_o(s) = \frac{1}{\tau_d s + 1} \cdot \frac{k_p s + k_i}{s} \cdot \frac{1}{s} \quad (9)$$

式中: $G_o(s)$ 为DSC开环传递函数; k_p , k_i 分别为比例、积分系数; 采用对称最优标准设计其如下:

$$\begin{cases} k_p = 1/(b\tau_d) \\ k_i = 1/(b^3\tau_d^2) \end{cases} \quad (10)$$

式中: b 为对称最优标准设计参数。

图12为电压跌落检测算法的框图。

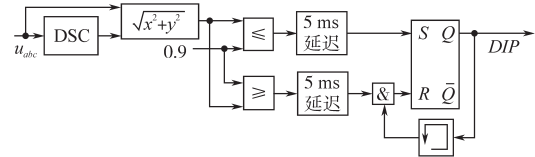


图12 电压跌落检测算法框图

Fig.12 Block diagram of the voltage dip detect algorithm

如图12所示,电压跌落检测算法可针对任意一相电压跌落进行检测判断。如图10中所示, HLC2模块通过监测 u_d^+ 和 u_q^+ 和电压跌落检测算法的输出信号DIP来控制SFLC是否启动,同时判断同步是否正常,正常则输出高电平。HLC2参数设计为: DSC延迟时间常数 $\tau_d=2.5$ ms, 传统PLL比例系数 $k_p=165.6$ 和积分系数 $k_i=11\ 371$, u_d^+ 下限 $H_{DL}=0.98$ (标么值), u_q^+ 上限 $H_{QL}=0.01$ (标么值), 恢复限值 $H_s=0.02$ (标么值), SFLC输入增益 $k_{in}=1$, 输出增益 $k_{out}=\omega_o$ 。

3.2 仿真分析

为了验证所设计的第二种复合结构快速PLL方案,基于前述第一种方案的系统参数进行了仿真分析。变流器初始工作在额定容量的80%,同时输入电压A相跌落至0.4(标么值),如图13a所示。当电压跌落检测算法检测到电压跌落结束时,HLC2调用SFLC模块以进行快速同步,相应的变流器 d 轴电流分量 i_d 波形和直流电压及直流参考电压 u_{dc}^+ 波形分别如图13b、图13c所示。SFLC模块将一直发挥作用直到系统达到同步状态,即 u_d^+ 和 u_q^+ 信号在同步判断内($u_d^+>0.98$ (标么值), $|u_q^+|<0.01$ (标么值))。一旦检测到同步信号, HLC2延迟一个周期后即切换回常规PLL模块,以确保平滑过渡。如图13d、图13e为SFLC模块DSC输出和复合后输出的 q 轴电压 u_q^+ 及相角误差 θ_{em} 的波形。仿真结果验证了所提出的第二种复合结构快速PLL方案的有效性,其在故障结束后1个周期内获得了同步。

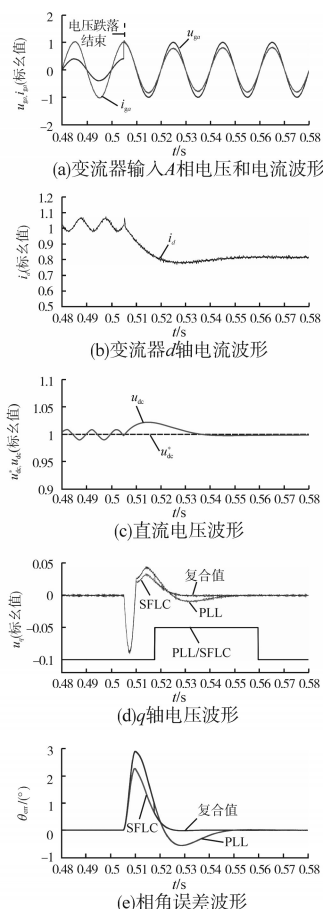


图13 第二种复合结构快速PLL方案的仿真结果

Fig.13 Simulation results of the second fast PLL scheme with hybrid structure

4 硬件在环实验验证

为了验证所提出两种复合结构快速PLL方案的效果,基于实时仿真平台dSPACE1104搭建了硬件在环实验系统开展了相关实验。在实时仿真机中模拟电网,然后将电网电压采样信号馈送到控制器中,控制器基于德州仪器DSP(TMS320F28335)实现,采样频率为 $f_{AD}=10\text{ kHz}$,开关频率 $f_{sw}=5\text{ kHz}$ 。相关变量采集通过dSPACE数模转换器进行监控,并显示在泰克数字示波器中。

4.1 快速PLL方案一测试结果

首先对第一种复合结构快速PLL方案进行测试,设计电网故障导致 85° 的相位突变。图14为常规PLL与第一种复合结构快速PLL的对比测试结果,即相角误差 θ_{err} 的波形,与基于PI的常规PLL相比,新方案显出了更好的阻尼响应,即 θ_{err} 没有出现超调,并在不到1/4周期内快速达到同步,而常规PLL则明显存在超调并需耗时更久才能实现同步。

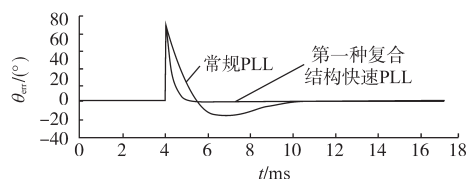


图14 复合结构快速PLL方案一测试结果

Fig.14 Test results of the first fast PLL scheme with hybrid structure

4.2 快速PLL方案二测试结果

进一步对第二种复合结构快速PLL方案进行测试,利用实时仿真机模拟出A相电网电压跌落如图15a所示,图15b为 u_q 的波形,图15c为相角误差 θ_{err} 的波形。由图15所示,由于SFLC模块的响应更快,一旦检测到电压跌落结束,HLC2控制器就会调用SFLC,当实现同步后,HLC2控制器在一个周期延迟后还原到常规PLL方案,以确保系统稳定运行。启用SFLC后,相角误差 θ_{err} 在小于20 ms内达到零附近,而常规PLL则花费超过40 ms。同时,引入DSC算法进行正负序分量分离处理能使SFLC模块在不平衡电网下正常工作。

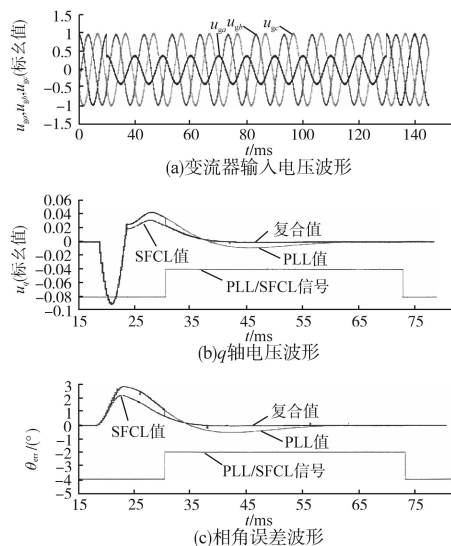


图15 复合结构快速PLL方案二测试结果

Fig.15 Test results of the second fast PLL scheme with hybrid structure

5 结论

围绕中压变流器在短时电网电压跌落时的停机问题,设计了2种复合结构快速PLL控制方案,通过理论设计、仿真分析和实验验证,可总结结论为:1)第一种复合结构快速PLL方案可有效应对严重电压短时跌落后的中压变流器快速恢复运行问题;2)第三种复合结构快速PLL方案可有

效预防同步故障,即在电压跌落结束后能快速恢复变流器运行;3)测试结果表明,引入SFLC构建的复合结构快速PLL方案能有效避免中压变流器在并网电压跌落时的保护停机,实现故障穿越。

参考文献

- [1] 崔冬冬,葛琼璇,谭强,等. 背靠背五电平二极管钳位型变流器直流环节的电压偏移机理及其载波调制均压策略[J]. 中国电机工程学报,2019,39(9):2735-2748.
- [2] 吕佃顺,许洪华. 并网型中压变流器高频谐振抑制策略[J]. 电力系统自动化,2017,41(23):123-129.
- [3] 孙静,邵宜祥,周百灵,等. 抽水蓄能机组背靠背变流器中点电压平衡控制[J]. 电气传动,2018,48(10):64-69.
- [4] 蒋顺平,丁勇,李旭,等. 应用于钠硫电池的双级式储能变流器控制策略[J]. 电力电子技术,2019,53(4):88-90.
- [5] 张树基,罗映红,王云,等. 不平衡电网电压下风力发电机网侧变流器控制研究[J]. 电测与仪表,2019,56(9):81-85.
- [6] Golestan S, Guerrero J, Vasquez J. Three-phase PLLs: A Review of Recent Advances [J]. IEEE Transactions on Power Electronics 201732(3):1894-1907.
- [7] 郑重,李卫华,耿华,等. 火电厂辅机变频器低电压穿越技术综述[J]. 电力自动化设备,2016,36(12):143-148.
- [8] 蒋云松,冯剑,郑权国,等. 基于DigSILENT的永磁直驱风机低电压穿越仿真及双耗能电阻设计[J]. 电力科学与技术学报,2018,33(3):29-36.
- [9] 曾正,邵伟华,刘清阳,等. 并网逆变器数字锁相环的数学物理本质分析[J]. 电工技术学报,2018,33(4):808-816.
- [10] Rodriguez P, Luna A, Candela I. *et al.* Multiresonant Frequency-locked Loop for Grid Synchronization of Power Converters Under Distorted Grid Conditions[J]. IEEE Transactions on Industrial Electronics, 2011, 58(1): 127-138.
- [11] Golestan S, Guerrero J M. Conventional Synchronous Reference Frame Phase-locked Loop is an Adaptive Complex Filter [J]. IEEE Transactions on Industrial Electronics 201562(3): 1679-1682.
- [12] 高文森,樊艳芳,王一波. 优化型DDSRF-PLL在不平衡和畸变电网电压下的仿真研究[J]. 可再生能源,2017,35(5):714-720.
- [13] 欧阳森,马文杰,柯清派. 不平衡及畸变电网下光伏逆变器控制策略[J]. 电力电容器与无功补偿,2018,39(5):162-166.
- [14] 史旺旺,严建鹏. 一种基于椭圆拟合的三相电压不平衡条件下的锁相环[J]. 电源学报,2017,15(4):60-64.
- [15] 陈东明,陈明亮,谢桢,等. 基于改进滤波及正负序分离法的锁相环[J]. 电网技术,2016,40(3):931-937.
- [16] 李子林,傅闯,汪娟娟,等. 实现相位和频率检测解耦的快速锁相环[J]. 电力系统自动化,2019,43(5):143-154.
- [17] Choi B J. Design and Stability Analysis of Single-input Fuzzy Logic Controller [J]. IEEE Transactions on Man, and Cybernetics, Part B 200030(2):303-309.

收稿日期:2019-07-11

修改稿日期:2019-08-14