

基于乒乓的高速通信在变频器中的应用

贾鹏飞^{1,2}, 孟昭鹤^{1,2}, 张中磊^{1,2}, 方成辉^{1,2}, 刘晓东^{1,2}

(1. 天津电气科学研究院有限公司, 天津 300180;

2. 电气传动国家工程中心, 天津 300180)

摘要:随着科技的飞速发展,芯片主频提升已然成为行业内一个不可忽视的显著趋势。芯片主频的提高,直接带动了芯片通信接口数据吞吐量的逐步增长。在传动设备领域,控制器中多个芯片之间的通信速度已成为制约设备整体性能进一步提升的关键瓶颈。针对这一问题,创新性地引入了“乒乓”设计思想。该思想巧妙地借助芯片之间的临时缓存机制,实现了高速且高吞吐量的数据交互。“乒乓”设计思想通过交替使用不同的缓存区域进行数据读写操作,有效避免了在高速通信过程中因同时读写同一地址而导致的数据错误问题,从根本上保障了数据传输的准确性和可靠性。经过长时间的现场运行和监测,设备表现出了稳定的性能和高效的数据处理能力,验证了方案的可行性。

关键词:芯片主频;高速通信;缓存

中图分类号:TM346 **文献标识码:**A **DOI:**10.19457/j.1001-2095.dqed26591

Application of High-speed Communication Based on Ping-pong in Inverters

JIA Pengfei^{1,2}, MENG Zhaohe^{1,2}, ZHANG Zhonglei^{1,2}, FANG Chenghui^{1,2}, LIU Xiaodong^{1,2}

(1. Tianjin Research Institute of Electric Science Co., Ltd., Tianjin 300180, China;

2. National Engineering Research Center for Electric Drive, Tianjin 300180, China)

Abstract: With the rapid development of technology, the increase in chip frequency has become a significant trend that cannot be ignored in the industry. The increase in chip frequency directly drives the gradual increase in data throughput of chip communication interfaces. In the field of transmission equipment, the communication speed between multiple chips in the controller has become a key bottleneck that restricts the further improvement of the overall performance of the equipment. In response to this issue, the design concept of "ping-pong" was introduced innovatively. This idea cleverly utilized the temporary caching mechanism between chips to achieve high-speed and high-throughput data exchange. The "ping-pong" design concept effectively avoided data errors caused by simultaneous reading and writing of the same address during high-speed communication by alternately using different cache areas for data read and write operations, fundamentally ensuring the accuracy and reliability of data transmission. After long-term on-site operation and monitoring, the device demonstrated stable performance and efficient data processing capabilities, verifying the feasibility of the proposed solution.

Key words: chip frequency; high-speed communication; cache

随着技术的发展,工业现场对电机系统控制性能的要求也日益严苛。变频器作为一种先进的电机调速装置,在大功率电机驱动领域得到了广泛应用。

目前,多数大功率变频器的控制器是基于多芯片实现的。常见有FPGA+DSP, FPGA+DSP+ARM等方案^[1-3]。对于FPGA+DSP方案,一般FPGA负责模拟量信号的采集以及PWM信号生成,

DSP负责整个电机控制算法的运算及简单逻辑功能处理,对于稍复杂系统,需要增加ARM来完成参数逻辑处理及人机交互控制等。

然而,变频器的高性能依赖于各个芯片之间的高效通信。传统的通信方式,如国内外学者采用的环形队列^[4]、数据标志位等方案在数据传输速率、实时性和可靠性等方面逐渐难以满足变频器日益增长的需求。

基金项目:天津电气科学研究院有限公司科研基金(YF2024ZL005)

作者简介:贾鹏飞(1991—),男,硕士,高级工程师,主要研究方向为嵌入式,Email:jiapengfei@me.com

为解决芯片之间通信的可靠性、实时性、快速性问题,部分学者采用更高性能、多核心的A核心 ARM 芯片或者 C6000 系列 DSP 芯片来完成^[5-6]。虽然解决了芯片通信之间的瓶颈,却带来了成本的指数级飙升。

本文提出通过合理分配读写时序和创新性的协议设计,只需要占用较小的 FPGA 内存空间即可完成大量数据传输的方案。在低成本硬件平台上实现了高吞吐量通信,并通过实验验证其有效性。

1 控制系统简介

1.1 控制系统硬件简介

以基于 FPGA+DSP+ARM 架构构建的变频器主控制器为例,介绍乒乓通信在多芯片协同通信中的使用。主控制器的硬件组成为微处理器 ARM、数字信号处理器 DSP、可编程门阵列 FPGA、电源管理、存储芯片、SD 卡等,硬件结构图如图 1 所示。

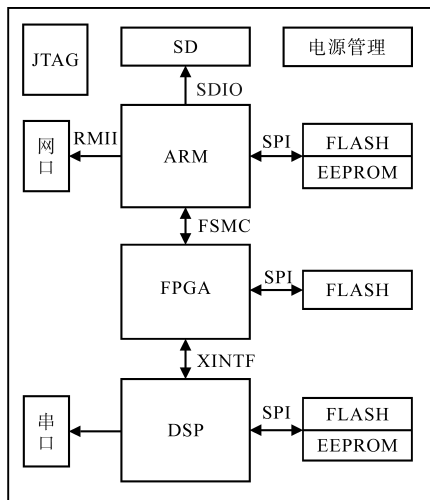


图 1 主控制器硬件结构图

Fig.1 Hardware architecture diagram of the main controller

图 1 所示控制器的核心处理器采用 STM32F407ZET6, TMS320C28346 及 EP4CE40F-23I7N 三芯片架构。针对各芯片内存容量有限的问题,通过外扩 SPI FLASH 进行参数固化、SPI EEPROM 参数实时存储及 SD 卡故障波形存储实现分层存储方案,保障系统参数与运行数据的完整性与可追溯性。

调试接口采用标准化 JTAG 协议,支持多芯片在线联调与程序烧录,显著提升开发效率;网络通信模块集成 RJ45 以太网接口,为上位机提供实时数据访问通道,支持参数动态配置、运行波

形监测、故障回溯分析及历史数据导出功能。电源管理单元采用多路独立 DC-DC 拓扑,分别为 ARM, DSP, FPGA 提供高精度稳压电源。此外,鉴于 TMS320C28346 DSP 内部缺乏集成 FLASH,额外增设 NOR Flash 存储单元(容量 64 MB),通过 SPI 总线实现程序的安全存储与快速加载。

1.2 控制系统软件简介

为充分发挥不同芯片的性能优势,本控制器对各芯片功能进行了细致的分工。

在电机控制的核心算法执行层面, DSP 承担关键任务。它负责处理一系列与电机控制紧密相关的算法,涵盖速度设定、转矩设定、转速调节、矢量计算、励磁计算、电压模型、电流模型等核心控制环节。此外, DSP 还具备电机辨识功能,能够精准识别电机的参数,同时实现功率因数控制,提高电能利用效率。

ARM 在整个系统中扮演着协调与数据交互的重要角色。它主要负责参数的设定工作,包括对参数进行转换、逻辑处理以及联动控制,确保各参数之间的协同工作。ARM 还承担着故障存储、管理的任务,方便后续对系统故障进行分析和排查。同时, ARM 还负责与上位机进行通信,实现系统运行、波形数据的高效传输,为上位机对系统的实时监控和数据分析提供支持。

FPGA 则侧重于实现控制中的高速通讯和信号采集功能。它能够生成高精度的 PWM 信号,用于电机的驱动控制;完成 AD 数据采集,为系统提供实时的模拟信号反馈。在通信方面, FPGA 支持高速通信,并且负责 ARM 与 DSP, ARM 与 FPGA, DSP 与 FPGA 之间的并口通信,确保各芯片之间的数据能够快速、稳定地传输。

在三芯片架构的设计中,为了显著提升数据在芯片间的传输效率,采用了针对性的接口设计。ARM 与 FPGA 之间采用灵活静态存储控制器 FSMC 接口,该接口具有高速数据传输能力,能够满足两者之间大量数据的快速交互需求。DSP 与 FPGA 之间则选用外部接口 XINTF,为 DSP 与 FPGA 的数据传输提供了高效的通道。在 FPGA 内部,通过使用随机存取存储器 RAM 搭建通信通路,实现了数据的快速共享。

2 架构实现

2.1 乒乓思想

芯片间乒乓通信是一种旨在实现芯片之间

快速、高效、稳定数据传输的通信思想。其核心概念源于乒乓操作。通过两个缓冲区或缓存区域的交替使用,实现数据的交替读写,从而提高数据传输的效率和速度。在芯片间通信场景中,这种思想可以应用于解决数据传输过程中的速度瓶颈和实时性问题,并且可以大幅降低内存占用率。

2.2 系统架构

为了有效实现乒乓思想以提升系统的数据处理效率和响应速度,共享内存的使用成为了必要的技术手段。

现场可编程门阵列凭借其强大的并行处理能力以及丰富的片内资源,成为搭建乒乓共享内存架构的理想选择^[5-6]。本文基于 FPGA 搭建共享内存架构,该架构具体组成和连接关系如图 2 所示。

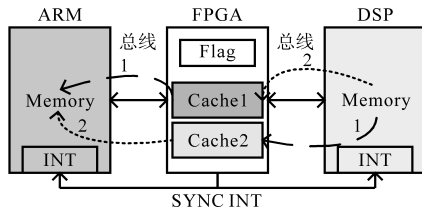


图2 中断缓存架构图

Fig.2 Interrupt Cache architecture diagram

缓存架构图中,Cache1 和 Cache2 为 FPGA 内存 RAM 资源,Memory 为各自芯片的内存资源,其工作机制为在数据传输的初始阶段,DSP 将数据写入 Cache1,同时 Cache2 向数据处理芯片 ARM 提供之前写入的数据。当 Cache1 写满后,数据写入操作切换到 Cache2,而此时 Cache1 则开始向数据处理芯片 ARM 输出数据。通过这种方式,两个缓冲区不断交替并行读写操作,避免了数据传输的停顿。

2.3 变频器参数系统

在变频器控制系统中,存在大量用于精准调控变频器工作状态的参数^[7]。为了提升系统设计、调试及维护过程中的便捷性与高效性,本文对这些参数进行了分类定义。将只读参数定义为 R 参数,这类参数是系统运算得出的结果,反映了变频器在运行过程中的实时状态与性能指标,用户仅能读取其数值,无法对其进行修改操作。而可读可写参数则被定义为 P 参数,它们作为运算输入参数,是用户根据实际应用需求对变频器进行控制和配置的关键手段,用户既可以读取其当前值,也能够根据需要对其进行调整,从

而实现对变频器工作状态的灵活控制。

变频器参数处理一般分为上电阶段和运行阶段。为了保证运行时能快速响应网口参数请求,在上电过程中,需要将 DSP 中的参数信息更新至 ARM 内存。

本文采用乒乓机制实现该阶段的数据交互。DSP 先向 Cache2 写入数据,随后检测 ARM 的准备标志并等待其置位;待标志置位后,DSP 向 Cache1 写入数据,与此同时,ARM 同步从 Cache2 中读取数据,二者通过交替执行读写操作,仅占用少量 FPGA 内存即可完成容量达数 KB 的参数表更新。在系统运行阶段,DSP 需要将运算得出的 R 参数更新到 ARM 中。R 参数数量多,也需要采用乒乓机制进行处理。

将 R 表数据分为多段,每段大小为 Cache 大小。每次更新将一小段 R 表数据放入 Cache。并且,此阶段可以复用初始化阶段所使用的内存,避免了额外的内存开销,简化了系统的内存管理,进一步提升了系统整体的数据处理效率和资源利用效率。降低了对 FPGA 芯片资源的依赖。参数乒乓流程如图 3 所示。

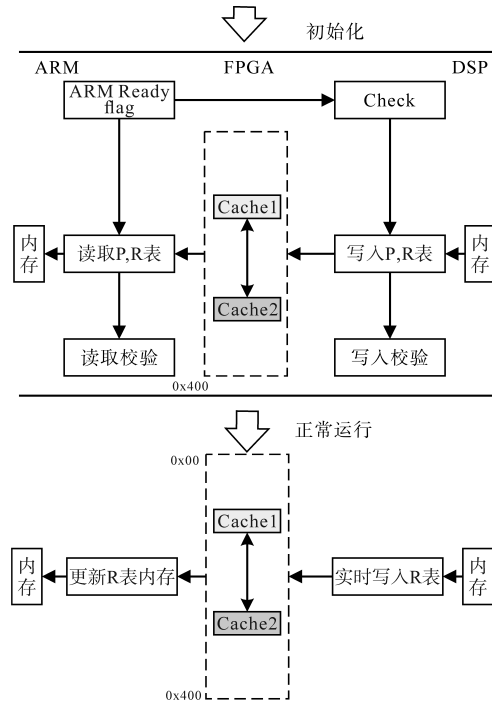


图3 参数流程图

Fig.3 Parameter flowchart

2.4 变频器示波系统

在变频器控制系统实际运行过程中,为了能够精准地对控制器的运行状态和对控制参数进行合理调整,深入观察某些关键的电压、电流等

运行状态曲线显得尤为重要。这要求控制器必须具备实时示波的功能。

在采用三芯片控制的系统中,各芯片依据自身特性承担着不同任务。FPGA 负责将实时采集到的数据快速更新至 DSP,而 DSP 则把从 FPGA 接收到的数据及时传输给 ARM。ARM 承担着网络协议栈处理以及示波数据配置、上传等关键任务。

由于示波数据对于实时性和数据带宽有着极高的要求,一般等于控制周期 $400\ \mu\text{s}$ 。这无疑对芯片的处理性能和内存提出了更为严苛的挑战。不过,通过引入乒乓机制,这一难题得到了有效解决。在该机制下,当 ARM 对一块内存进行数据读取操作时,DSP 能够同时对另一块内存进行数据更新操作。这种并行的数据搬运方式,不仅显著降低了数据传输的延时,还能确保数据的连续性和及时性。更为重要的是,借助乒乓机制,无需配备大容量缓存,即可实现连续波形的高效刷新,有效提升了系统的整体性能和资源利用效率。图4为示波乒乓架构图。

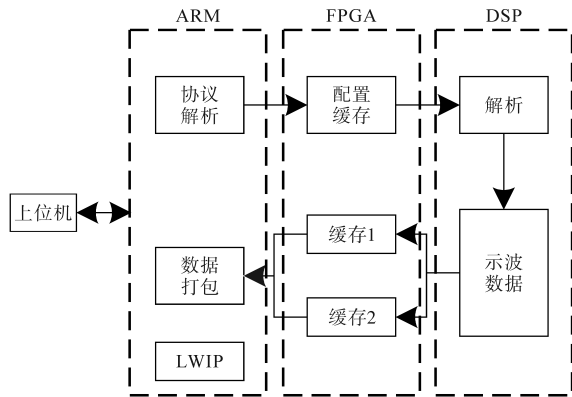


图4 示波架构图

Fig.4 Oscillatory architecture diagram

2.5 系统架构改进及扩展

上述乒乓架构虽然满足了现场需求,但是随着应用不断拓展与深化,为进一步释放芯片运算能力,本文引入芯片自带 DMA 直接内存访问功能实现数据的自动搬运^[7-9]。DMA 技术允许数据在不占用 CPU 大量资源的情况下,直接在内存和外设之间进行高速传输,从而显著提高系统的整体性能。

然而,启用 DMA 功能需要特定的触发条件,并且在数据搬运过程中,缓存区域的切换需要 ARM 和 DSP 这两个芯片保持高度同步。为解决这一同步问题,本文在系统中引入了 FPGA 同步中断 IN 机制。通过同步中断,同时触发 ARM 和

DSP 进行相应操作。每次接收到中断信号后,两个芯片会依据预设逻辑自动切换 DMA 地址,进而完成数据的自动搬运。这一改进不仅优化了数据传输流程,还确保两个芯片在数据处理过程中高效协作,降低 CPU 负载。改进后的缓存架构图如图5所示。

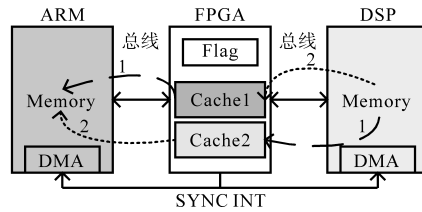


图5 DMA 缓存架构图

Fig.5 DMA cache architecture diagram

改进前后 DSP 的 CPU 负载使用率由 88.95% 降低为 83.27%。

3 应用效果

为了更深入地验证,本文在三芯片控制器硬件开展实验。着重对比采用乒乓与普通方式参数更新产生的延时差异。

在实验中,乒乓缓存架构采用了优化后的设计方案。现场可编程门阵列每间隔 $400\ \mu\text{s}$ 发出一次同步中断信号。每当接收到该中断信号,DSP 将一个特定 R 只读参数值在 0 到 1 之间进行切换。使用示波器观察微控制器 ARM 侧数据变化,以此获取乒乓操作模式下数据更新动态。

为了构建对比实验环境,本文还进行了环形队列读写操作实验。在实验中,DSP 同样每 $400\ \mu\text{s}$ 进行一次数据写入操作。而 ARM 则通过检查队列标志来更新自身 R 参数。同样观察 ARM 侧的数据变化情况,以便与乒乓操作的实验结果进行全面对比分析。通过对比实验,评估出乒乓操作在提升数据更新效率、减少延时方面的优势,为系统性能优化提供有力的数据支撑。实验硬件平台如图6所示,图7为示波器实验波形。

对比图7和图8能够清晰地看出,乒乓操作与普通数据读写在数据传输和更新过程中存在显著差异。

在采用乒乓操作的模式下,当 DSP 完成数据反转后,会立即进行缓冲区的切换,与此同时,ARM 也会同步进行切换操作。这种协同机制使得数据延时能够稳定保持在 $400\ \mu\text{s}$ 。其优势在于,乒乓操作通过双缓冲区交替工作的方式,实现了数据读写的并行处理,有效避免了数据读写



图6 实验平台
Fig.6 Experimental platform

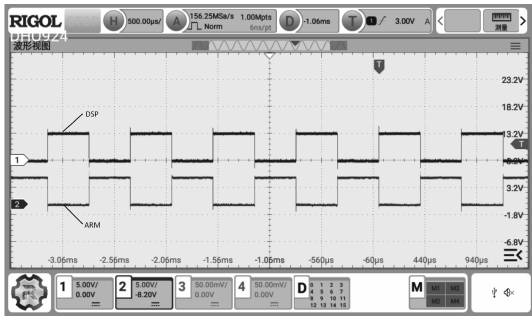


图7 乒乓数据延时
Fig.7 Ping-pong data delay

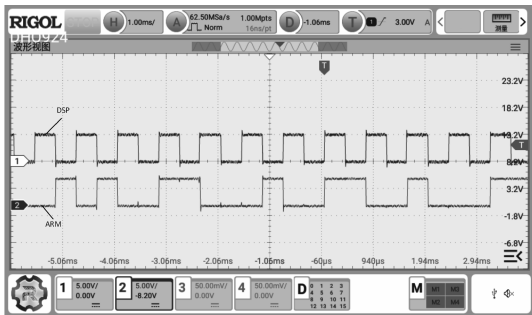


图8 环形数据延时
Fig.8 Circular data delay

冲突,确保了数据传输的高效性和稳定性。

与之形成鲜明对比的是环形队列数据读写方式。在该方式下,DSP写入数据后,ARM需要先判断数据是否写入完成,只有在确认写入完成后才会进行读取操作。这一过程中,ARM和DSP之间容易出现不同步的问题。表现为ARM需要花费一定时间去检测DSP是否完成写入,导致ARM在更新数据时产生额外的延时,尽管最终也能完成数据刷新,但相比乒乓操作,其数据传输的及时性和稳定性明显差些。虽然可以通过增加主频满足系统的性能需求,但这会增加系统的成本和复杂度。

图9展示的是乒乓机制示波结果。在本系统

中,DSP借助外部FPGA产生的 $300\ \mu\text{s}$ 同步中断周期性触发DMA向FPGA缓存1写入正弦波数据,同时ARM依托同源同步中断触发DMA从FPGA缓存2读取已完成写入的正弦波数据,通过缓存交替机制实现数据流转;经DA转换输出后,实测显示ARM能稳定精准跟踪DSP的数据刷新节奏,二者时序上保持严格相位同步,相位差恒定维持在 $300\ \mu\text{s}$ 且未出现时序抖动或数据错位现象,充分验证了乒乓缓存机制在高速示波数据处理中的时序稳定性与数据传输准确性,为多处理器协同工作的实时性控制提供了可靠的工程实现范式。

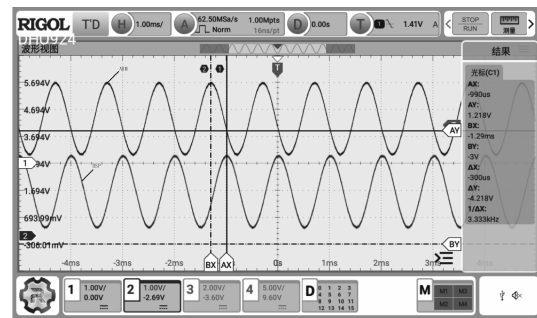


图9 乒乓机制示波结果
Fig.9 Ping-pong wave show

4 结论

综上所述,在示波数据处理以及电机控制等对数据传输实时性和系统性能要求较高的应用场景中,乒乓数据操作相较于普通操作具有明显的优势,且具有良好的兼容性和适应性。能够更好地平衡数据传输延时、缓存使用量和系统性能之间的关系。

在实际应用方面,本方案已应用于我公司变频器装置,并实现了批量现场应用。经过实践检验,该方案在实际运行中展现出了卓越的性能,取得了令人满意的应用效果,为变频器的高效稳定运行提供了有力的技术支撑。

参考文献

[1] 卓越. 基于ARM与DSP的三电平变频器研究[D]. 北京:北京交通大学,2013.
ZHUO Yue. Research on the three-level inverter based on ARM and DSP[D]. Beijing :Beijing Jiaotong University, 2013.

[2] 丛望,张兵. 基于ARM+FPGA的三电平逆变器研究[J]. 应用科技,2009,36(7):54-57.
CONG Wang, ZHANG Bing. Research on three-level inverter based on ARM and FPGA[J]. Applied Science and Technology, 2009, 36(7): 54-57.

- 2009, 36 (7): 54-57.
- [3] 周杰,刘懿.一种TMS320C6000 DSP与FPGA通讯方法的研究[J]. 硅谷, 2010(24): 88-89.
ZHOU Jie, LIU Liu. Research on a communication method between TMS320C6000 DSP and FPGA[J]. Silicon Valley, 2010 (24): 88-89.
- [4] PING S, LING J S, JUN Z H. Circle quorum system-based non-stop network service model[J]. Journal of Zhejiang University Science, 2004, 5(5): 550-557.
- [5] 苏锋. 基于ZYNQ共享内存的数据交互系统设计方法[J]. 现代信息科技, 2022, 6(23): 82-85
SU Feng. Design method of data interaction system based on ZYNQ shared memory[J]. Modern Information Technology, 2022, 6 (23): 82-85.
- [6] 袁鑫凯. 基于ARM和FPGA的交流伺服电机运动控制器设计[D]. 沈阳: 沈阳航空航天大学, 2023.
YUAN Xinkai. Design of AC servo motor motion controller based on ARM and FPGA[D]. Shenyang : Shenyang Aerospace University, 2023.
- [7] 贾瑞军. 基于DSP的网络数据采集板卡DMA传输方案的设计与实现[D]. 北京: 中国科学院大学(工程管理与信息技术学院), 2015.
JIA Ruijun. Design and implementation of DMA transmission scheme for network data acquisition based on DSP[D]. Beijing: University of Chinese Academy of Sciences (School of Engineering Management and Information Technology), 2015.
- [8] 梁雪. 基于STM32 DMA控制器的高效数据传输及应用[J]. 物探装备, 2024, 34(3): 199-202.
LIANG Xue. Efficient data transfer and application based on STM32 DMA controller[J]. Geophysical Exploration Equipment, 2024, 34 (3): 199-202.
- [9] 鲁建壮, 孙书为, 陈胜刚, 等. 采用S-Tag的M-DSP片上存储DMA访问优化[J]. 国防科技大学学报, 2018, 40(6): 112-117.
LU Jianzhuang, SUN Shuwei, CHEN Shenggang, et al. S-Tag based DMA optimization for on-chip memory in M-DSP[J]. Journal of National University of Defense Technology, 2018, 40 (6): 112-117.

收稿日期: 2025-04-24

修改稿日期: 2025-05-27