

# 高频率高密度电力电子系统PCB的优化设计研究

陈之秀<sup>1</sup>,刘洋<sup>1</sup>,张涵舒<sup>1</sup>,夏晔<sup>2</sup>,王浩<sup>1</sup>,刘鑫<sup>1</sup>

(1.华中科技大学人工智能与自动化学院,湖北 武汉 430074;

2.长江大学电子信息学院,湖北 荆州 434023)

**摘要:**高新技术发展时期下,SiC等新型半导体的应用,促使PCB设计正向着集成化、高效化方向发展。优化设计从高频率、高密度两个方面为PCB设计优化提供新的思路,其中高频对PCB设计提出杂散系数的要求,而高密度针对解决PCB的热问题。一方面,使用垂直多环路的PCB布局来减少功率回路及驱动回路的寄生参数,与垂直功率环布局方式相比,所提新方法使栅极回路的寄生电感降低了约50%,功率回路寄生电感降低了约30%,这种方法还能减少寄生电感引起的振铃和过冲,并减少电压和电流的上升、下降时间及开关损耗。另一方面,改进了高功率密度热管理方法,通过优化PCB散热过孔和铜箔面积等设计参数,根据实际工程需要,重新设计PCB以获得一种有效的底部冷却方法。通过仿真实验和物理实验验证了优化方案对设计出具有良好性能的PCB有重要的指导意义。

**关键词:**印刷电路板(PCB);寄生电感;开关损耗;热管理;底部冷却

**中图分类号:**TM46;TN41 **文献标识码:**A **DOI:**10.19457/j.1001-2095.dqed24543

## Research on Optimal Design of High-frequency-density Power Electronics PCB

CHEN Zhixiu<sup>1</sup>,LIU Yang<sup>1</sup>,ZHANG Hanshu<sup>1</sup>,XIA Ye<sup>2</sup>,WANG Hao<sup>1</sup>,LIU Xin<sup>1</sup>

(1. School of Artificial Intelligence and Automation, Huazhong University of Science and Technology,

Wuhan 430074, Hubei, China; 2. School of Electronic Information,

Yangtze University, Jingzhou 434023, Hubei, China)

**Abstract:** In the period of high and new technology development, the application of SiC and other new semiconductors promotes the development of PCB design toward integration and high efficiency. The new ideas were provided for PCB design optimization from two aspects of high frequency and high density. Among them, the requirement of stray coefficient for PCB design was put forward by the high frequency, while high density was aimed at solving the thermal problem of PCB. On the one hand, vertical multi loop PCB layout was used to reduce parasitic parameters of power circuit and drive circuit, and compared with the vertical power loop layout, the grid circuit parasitic inductance was reduced about 50% in this method, while power circuit parasitic inductance was reduced about 30%. In this method, ringing and overshoot caused by the parasitic inductance also could be reduced, and rise and fall time of the voltage and current and switching losses were also reduced. On the other hand, the high power density thermal management method was improved. By optimizing design parameters such as PCB heat dissipation through holes and copper foil area, PCB was redesigned according to actual engineering needs to obtain an effective bottom cooling method. Through the simulation experiment and physical experiment, it is verified that the optimization scheme proposed has important guiding significance to design PCB with good performance.

**Key words:** printed circuit board (PCB); parasitic inductance; switching loss; thermal management; bottom cooling

宽禁带功率半导体器件(wide band gap, WBG)具有更低的导通电阻、更高的开关速度、更高的工作温度和在高压下工作的能力,这些优势可以使功率变换器具有更高的开关频率和功率密

度<sup>[1-2]</sup>。但是,WBG器件的高速开关性能也对功率回路和驱动回路的布局提出了独特的挑战,并且高频开关不可避免地会带来更高的 $di/dt$ 和 $dv/dt$ ,引起电压和电流振荡。不恰当的布局方式会

**基金项目:**国家自然科学基金资助项目(62073147)

**作者简介:**陈之秀(1998—),女,硕士,Email:1450463324@qq.com

**通讯作者:**刘洋(1979—),男,博士,副教授,Email:yangliu30@hust.edu.cn

降低开关速度、增加开关损耗。文献[3]还研究分析了由自导通引起的误触发,并发现布线的寄生电感是功率器件自导通的主要影响因素。文献[4]研究了开关器件寄生电容和布线路径寄生电感之间的寄生谐振,并指出寄生谐振在快速开关时会引起过冲和振铃。

为此,当前国内外针对WBG器件的研究热点主要是新型驱动拓扑、器件寄生参数建模及其影响、高开关频率和寄生参数导致的电磁干扰(electromagnetic interference, EMI)问题、功率密度提升等。文献[5-6]通过最小化环路面积以及通过最小化开关和电容器之间的距离来减小寄生电感,但是,由于没有考虑消除磁通量,因此寄生电感的减小受到限制。文献[7]对比了三种印刷电路板(printed circuit board, PCB)布局方式对寄生电感的影响。文献[8]以双脉冲测试电路为基础,提出氮化镓高电子迁移率晶体管(GaN high electron mobility transistor, GaN HEMT)开关特性分析模型,文献[9]研究了开关电源中印刷电路板寄生参数及功率器件瞬态特性产生的传导电磁干扰现象,文献[10]以600 V GaN HEMT为研究对象,研究其共源共栅结构引起的开关动态过程及其寄生参数的影响,文献[11]研究了寄生参数对碳化硅金属-氧化物半导体场效应晶体管(silicon carbide metal-oxide-semiconductor field-effect transistor, SiC MOSFET)栅源极电压影响,文献[12]研究了开关过程中各个寄生参数对SiC MOSFET栅源极电压影响。但是在低频工作区间,以上方法通常会造成损耗和电感的增加。

上述介绍了关于PCB高频化的相关研究,同时,为了保证电子设备在PCB的高热密度下的安全性和可靠性,针对高功率密度热管理问题,国内外学者也进行了很多研究。文献[13]中应用SolidWorks软件建立电源模块的三维模型,根据ANSYS热仿真得到的温度场分布优化了元件布局,验证了电源模块的合理分配布局可以显著提高其可靠性。但是该研究仅适用于特定的电源模块,不具有通用性。文献[14]综合热传导、对流换热与流体力学理论,针对电力电子装置的典型强迫风冷散热系统,提出一种强迫风冷散热系统体积最优的优化设计方法。文献[15]开发了一种嵌入在PCB上的铜块结构,用于提高器件系统的散热性能,并通过仿真和实验证明了散热铜块的

可行性。文献[16]提出一种新的多层印刷电路板冷却结构来实现更高的功率密度,同时保持散热性能,实验结果表明相同的工作温度下功率密度提高了31%。但是该方法制造复杂,生产成本低。文献[17]提出PCB过孔和散热焊盘的数学分析热阻模型和设计优化方法,并通过计算流体力学模拟和实验验证其有效性,使设计人员能够快速优化PCB设计方案。文献[18]针对三轮电动汽车中非隔离DC-DC变换器,采用FloThermXT热仿真软件进行了电热分析,得出了所需的走线宽度和元件的位置优化,并描述了测量过程,在实验方法和数值方法之间已经建立了良好的相关性。文献[19]提出在Simulink和COMSOL中分别构建基于物理模型的电路模型和基于有限元的热模型,通过Matlab控制脚本实现了电热联合仿真,为电热耦合仿真提供思路。

为此,本文首先从解决高频化PCB的寄生参数出发,将垂直多回路的布局方式应用到PCB的功率回路和驱动回路,以减小PCB寄生参数,通过Q3D寄生提取软件发现功率回路寄生参数降低了约30%,驱动回路寄生参数降低了约50%,同时建立高开关频率下的热模型,研究了散热过孔之间的距离以及过孔直径对PCB散热的影响,用于指导PCB的热优化设计,从减小开关损耗和提高散热效率两个方面提升功率系统效率,最后,通过物理实验验证了方法的有效性。

## 1 功率和驱动环路优化布局

本部分首先对功率器件进行建模并分析寄生参数的影响,然后介绍垂直多回路的优化方法,最后通过仿真实验验证了该方法的有效性。

### 1.1 功率器件建模及寄生参数影响分析

图1为SiC MOSFET封装的寄生参数等效模型。为了简化驱动电路参数,将上部开关简化为二极管和输出电容。

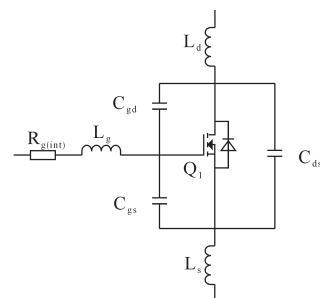


图1 SiC封装寄生参数模型

Fig.1 Parasitic parameter model of SiC package

### 1.1.1 开通瞬态过程

MOSFET开通瞬态过程可以分为三个阶段。驱动电压  $V_c$  从负到正的过程中,栅极-源极电容  $C_{gs}$  充电直到栅源电压  $V_{GS}$  等于阈值电压  $V_{th}$ ;当  $V_{GS} > V_{th}$  时,输出电流从上管二极管流向SiC MOSFET,漏极电流  $I_{ch}$  从0上升直到达到负载电流稳定值  $I_{load}$ ,  $L_d$  的感应电压导致漏源电压  $V_{DS}$  下降,漏源电容  $C_{ds}$  和栅漏电容  $C_{gd}$  通过MOSFET释放电荷;上管续流二极管进入反向恢复过程,  $V_{DS}$  继续下降,电源电路电流  $I_d$  等于  $I_{load}$  与反向恢复电流之和,当  $V_{DS}$  降至导通状态电压时,SiC MOSFET的导通瞬态过程结束。

由于  $L_s, L_d$  和下管的寄生电容形成串联谐振电路,  $I_d$  出现振荡现象,震荡频率如下式:

$$f = 1/(2\pi\sqrt{L_{loop}C_{eq}}) \quad (1)$$

式中:  $f$  为振荡频率;  $L_{loop}$  为回路寄生电感;  $C_{eq}$  为下管的寄生电容。

直流母线上的寄生电感越大,谐振频率越低,电路呈感性。当功率回路寄生电感越大时,栅极电压和漏极电流振荡频率会降低,但是当栅极寄生电感  $L_G$  过大时,栅极电压的过冲和振荡会越来越严重,可能会导致栅极电压超过器件允许的最大电压值,所以我们需要降低栅极寄生参数。

### 1.1.2 关断瞬态过程

关断瞬态过程可以分为四个阶段。  $V_c$  从正电压降至负电压  $V_{EE}$  的过程中,  $C_{gs}$  和  $C_{gd}$  放电,当  $V_{GS}$  下降到米勒电压  $V_{miller}$  时,此阶段结束;由于  $V_{DS}$  的升高和电容电压的下降,  $C_{ds}$  和  $C_{gd}$  开始充电,漏极电流  $I_{ch} < I_{load}$ , 当电容电压降至  $-V_F$  时,续流二极管处于导通状态,该阶段结束;当  $V_{GS} > V_{th}$  时,输出电流从SiC MOSFET流向续流二极管,杂散电感  $L_d$  的感应电压导致  $V_{DS}$  过冲,并且  $L_d$  越大,过冲电压越大,当  $V_{GS}$  下降到  $V_{th}$  时,该阶段结束;  $C_{gs}$  继续放电,直到  $V_{GS} = V_{EE}$ , 关断瞬态过程结束。SiC MOSFET的电压和电流在此阶段由于寄生电感和管子的寄生电容相互作用形成串联谐振电路,开通过程一样会产生震荡。

根据开关过程可知功率回路寄生参数会让漏源电压出现较大的电压过冲,并且功率回路寄生参数越大,电压过冲就越严重,甚至会损坏功率器件,所以可以通过降低功率回路寄生参数,保护器件不受损坏。

## 1.2 垂直多回路优化方法

文献[7]中给出了针对功率环路对寄生电感

影响的研究,对比横向功率结构和垂直功率结构的PCB布局,通过Q3D软件和双脉冲物理实验,发现垂直功率环布局提高了近3.5%的系统效率。

本文中,我们将参考文献[19]中提出的垂直多回路结构推广应用到SiC栅极驱动的PCB中,研究寄生参数的影响。

图2为电流方向相同的导体示意图,其中,直线箭头是两个导体并联连接时的电流流向,圆弧箭头指示磁通量的方向。由图2可知,磁通的方向在导体之间相反,并且在导体外部方向相同。



图2 电流方向相同的导体

Fig.2 Conductors with the same current direction

两个导体之间所产生的等效电路如图3所示。通过理论推导发现在相邻两导体材料和厚度相同的情况下,导体上的总阻抗与导线中的互感  $M$  成正相关,而互感  $M$  与导线间的距离成反相关。所以想要减小导线上寄生电感值,应该增加导线间间距。

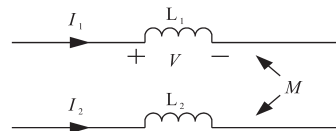


图3 导体间电压等效电路

Fig.3 Equivalent circuit of voltage between conductors

参考文献[20]根据垂直多回路的布局方式随着PCB层数增多电磁抵消效果会更好,提出了基于六层板的贴片器件布局结构。但是六层板由于特殊的生产设备,成本会大幅增加,且生产周期长,维修困难。故本文基于四层板设计垂直多回路的布局,为了达到更好效果,本文选用的SiC器件为通孔型封装。图4为PCB布局优化示意图。

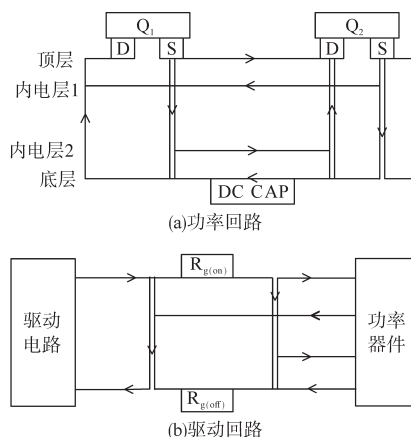


图4 PCB布局优化示意图

Fig.4 Schematic diagram of PCB layout optimization

如图4所示,首先将该理论方案应用于驱动回路中,在器件导通电阻和关断电阻之间建立返回回路降低驱动回路的寄生参数。结合过孔,这种布局方式可进一步降低回路面积。

为了验证垂直多回路布局方式在SiC栅极驱动的PCB布局中的有效性,采用文献[7]提出的垂直功率环布局方式与新型布局方式进行对比实验。PCB寄生电感的提取采用ANSYS Q3D软件进行。所提取的PCB主要寄生参数如表1所示。表1中, $L_{d1}$ 为功率回路寄生参数; $L_s$ 为上管到下管的寄生参数; $L_{ss}$ 为下管到同轴分流器的寄生参数; $L_{ss2}$ 为同轴分流器到电源负极的寄生参数; $L_{G1}$ ,  $L_{G2}$ 分别为上、下管的栅级寄生参数。

表1 PCB寄生参数提取

Tab.1 PCB parasitic parameter extraction

参数	$L_{d1}$	$L_s$	$L_{ss}$
垂直功率环	14.084 06	11.714 45	11.524 82
垂直多回路	9.272 03	8.914 54	8.668 73

参数	$L_{ss2}$	$L_{G1}$	$L_{G2}$
垂直功率环	40.844 28	20.626 96	21.713 93
垂直多回路	18.217 62	11.769 89	11.699 85

由表1所提取的功率参数可知,功率回路寄生电感降低30%左右,驱动回路寄生参数降低约50%。

1.3 仿真实验

动态特性说明了功率半导体在开关瞬态期间的性能。它们也被称为开关特性。功率半导体器件最重要的动态特性包括开关能量损耗,开关过渡参数(例如,开关时间,  $di/dt$  和  $dv/dt$ ),动态尖峰(例如,电流/电压过冲/下冲)和寄生振铃,双脉冲测试是表征功率半导体动态性能的一种广泛接受的方法。

本次仿真实验采用Pspice仿真平台,在输入电压为300 V的条件下进行仿真实验,负载电感为250  $\mu$ H,仿真电路如图5所示。

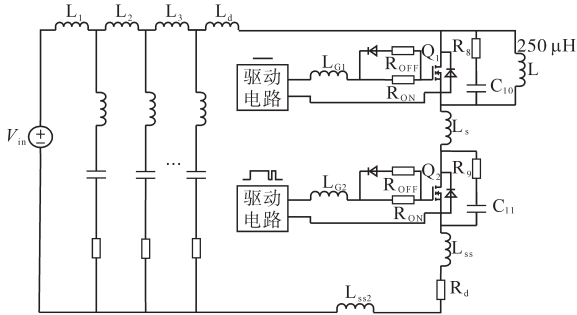
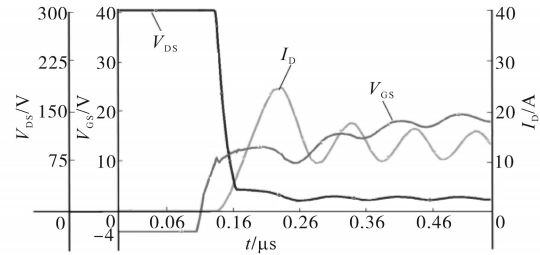


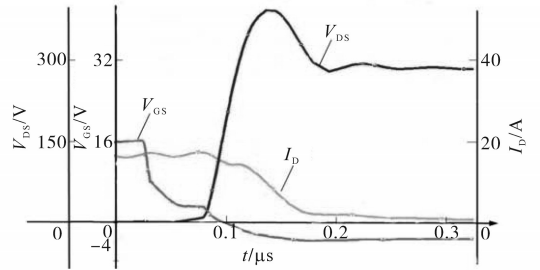
图5 带寄生参数的双脉冲仿真平台

Fig.5 Double pulse simulation platform with parasitic parameters

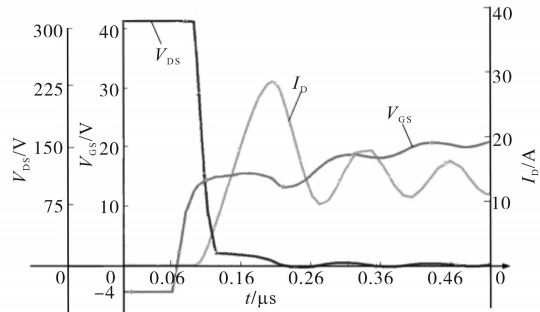
将表1中参数代入如图5所示的Pspice仿真电路中,得到两种PCB布局方案在300 V直流母线条件下的仿真波形如图6所示。



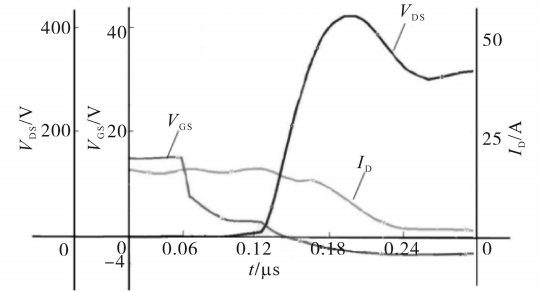
(a)垂直功率环开通瞬态



(b)垂直功率环关断瞬态



(c)垂直多回路开通瞬态



(d)垂直多回路关断瞬态

图6 两种布局方式下的仿真波形

Fig.6 Simulation waveforms of two layouts

根据仿真的开关瞬态可以得到双脉冲测试数据,如表2所示。由表2中数据可以看出,相比于垂直功率环,垂直多回路布局方式在开通、关断时间更短;电压、电流超调更小;开通、关断的损耗更小。经过计算可知,垂直多回路的布局方式在开关时间上优化了5.6%,在开关损耗上优化了约3.8%,所以垂直多回路布局方式可以有效地优化器件的开关性能。

表2 双脉冲测试数据

Tab.2 Double pulse test data

参数	开通时间	关断时间	电压超调/%	电流超调/%
	$t_{on}/ms$	$t_{off}/ns$		
垂直功率环	105	125	28.43	97.2
垂直多回路	101	118	21.43	95.3

参数	开通损耗	关断损耗	电压变化率/ (V·ns <sup>-1</sup> )	电流变化率/ (A·ns <sup>-1</sup> )
	$E_{on}/\mu J$	$E_{off}/\mu J$		
垂直功率环	36.1	20.6	2.857	1.011
垂直多回路	38.5	19.8	4.050	1.769

## 2 PCB热优化设计方法

### 2.1 散热过孔优化

PCB中散热过孔通过内层和底层铜箔水平传热方式,将热量逐渐散发到PCB各处,最后传递到空气中,实现热平衡目的,其PCB的垂直结构如图7a所示,水平结构如图7b所示。图7中, $\Phi, s, t_{PTH}$ 分别为过孔直径、过孔间距和过孔镀层厚度; $t_{Cu}, t_{FR4}$ 分别为铜层厚度、FR4板厚度; $l, w$ 分别为PCB的长度和宽度。

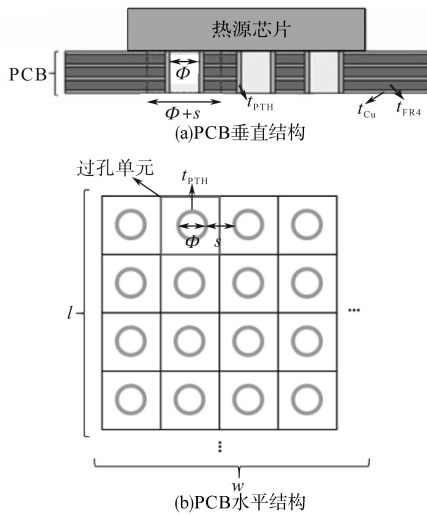


图7 PCB结构示意图

Fig.7 Schematic diagram of PCB structure

每个过孔单元有三个垂直散热路径,即过孔填充物、过孔镀层、铜和环氧玻璃布基FR4层,过孔单元的垂直热阻由这三部分并联而成,从垂直热传递的角度来看,过孔单元等效并联组成PCB的热阻,为了简化分析过程,过孔阵列的热阻基于相同尺寸( $l \times w \times t$ )FR4热阻进行归一化,其中 $t$ 为厚度,得到单位热阻 $\Theta_{via,n}$ 的表达式如下所示:

$$\begin{aligned} \Theta_{via,n} &= \Theta_{via} / \left( \frac{t}{k_{FR4}lw} \right) \\ &= 4(s + \Phi)^2 k_{FR4} / [\pi k_{filler} (\Phi - 2t_{PTH})^2 + \\ &\quad 4\pi k_{Cu} t_{PTH} (\Phi - t_{PTH}) + \\ &\quad \frac{t [4s^2 + 8s\Phi + (4 - \pi)\Phi^2]}{N_{Cu} t_{Cu} / k_{Cu} + (t - N_{Cu} t_{Cu}) / k_{FR4}}] \end{aligned} \quad (2)$$

式中: $\Theta_{via}$ 为总热阻; $k$ 为导热系数; $k_{filler}$ 为过孔填充材料的导热率; $k_{FR4}$ 为环氧玻璃布基FR4的导热率。

使用Matlab对式(2)进行参数分析。标准过孔镀层厚度 $t_{PTH}$ 为25  $\mu m$ 。

首先,探究PCB单位热阻与过孔间距 $s$ 的关系。根据式(2)中的参数可知,可以针对不同的填充材料、PCB厚度和过孔直径描绘过孔热阻相对于过孔间距 $s$ 的曲线,如图8所示。图8中包含四组曲线,分别为过孔填充材料的导热率为0.026 W/(m·K), 10 W/(m·K), 20 W/(m·K), 57.3 W/(m·K),在每种填充材料下,将过孔直径设为0.6 mm, 1.0 mm, 1.6 mm。可以看出,其他条件一定时,当过孔间距 $s$ 增加时,过孔单位热阻 $\Theta_{via,n}$ 随之上升。因此, $s$ 应该是设计得尽可能小,以降低印刷电路板过孔阵列的热阻。但是在实际生产过程中,最小过孔间距取决于制造商的制造能力,并且过孔间距很小时生产成本很高。一般来说,0.2 mm是多数制造商通常规定的最小过孔间距。因此,本文后续分析中取过孔间距 $s=0.2$  mm。

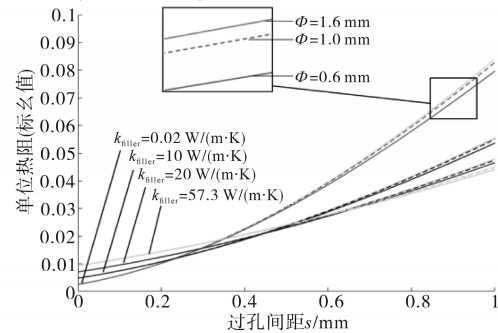


图8 热阻与过孔间距 $s$ 的关系

Fig.8 The relationship between thermal resistance and via spacing  $s$

其次,探究PCB单位热阻与过孔直径 $\Phi$ 以及过孔中填充材料热导率的关系,设置PCB的厚度 $t=1.6$  mm,如图9所示。当过孔未填充时,最佳过孔直径约为0.25 mm。当过孔填充材料的热导率小于等于57.3 W/(m·K)时,对于不同的填充材料,都存在一个最佳过孔直径使得热阻最小。

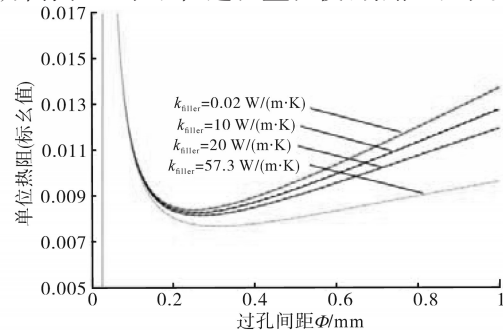


图9 热阻与通孔直径 $\Phi$ 和填料热导率关系

Fig.9 The relationship between thermal resistance and through hole diameter and filler thermal conductivity

由于铜层和FR4层的热阻比过孔高得多,热量主要通过通孔传递。因此,层数 $N_{cu}$ ,PCB厚度 $t$ 以及铜层厚度 $t_{cu}$ 对归一化热阻的影响可以忽略不计,此处不再详细分析。

## 2.2 铜箔面积对PCB散热的影响

在实际的生产应用中,常见的PCB介质材料是环氧玻璃布基FR4,PCB由FR4与铜箔压合制作而成。FR4的导热率只有 $0.29\text{ W}/(\text{m}\cdot\text{K})$ ,而铜的导热率为 $393\text{ W}/(\text{m}\cdot\text{K})$ ,因此电路板上的热量主要是依靠铜箔传递。此小节主要研究发热元器件在铜箔上的热传导范围,从而推断出合适的铜箔设计面积。

使用FloTHERM的FloEDA模块进行快速建模,所建立的对象模型如图10所示,其中图10a为模型的Top层,图10b为模型的Bottom层,图中的略浅灰色区域为过孔阵列,图10c为模型的横截面。PCB为四层板,大小为 $50\text{ mm}\times 50\text{ mm}\times 1.6\text{ mm}$ ,各层铜箔厚度均为 $1\text{ oz}$ ,发热元件大小为 $5\text{ mm}\times 5\text{ mm}\times 0.4\text{ mm}$ ,在PCB的另一侧则指定了恒温 $35\text{ }^{\circ}\text{C}$ 的边界条件。

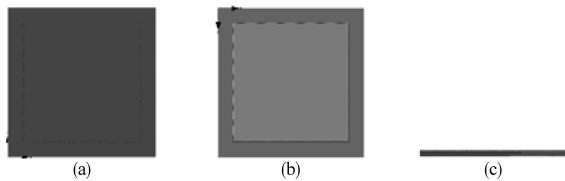


图10 仿真模型

Fig.10 Simulation model

当发热元件下无过孔时,设置元件发热功率依次为 $1\text{ W}$ , $2\text{ W}$ , $3\text{ W}$ , $4\text{ W}$ , $5\text{ W}$ ,发热功率为 $1\text{ W}$ 时的仿真结果如下图11所示。根据图11可以看出温度向四周扩散范围内上下前后都是对称的,因此绘制PCB上下对称轴线从左至右的温度,用来观察不同功率元件在铜箔上散热范围的区别。

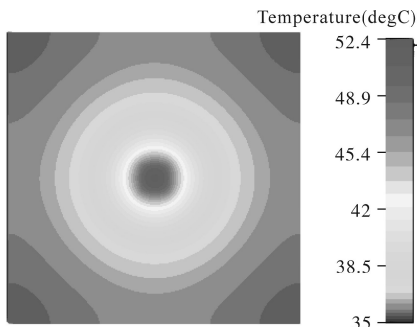


图11 1 W功率下的温度分布云图

Fig.11 Temperature distribution cloud diagram under 1 W power

根据图11,以PCB上下对称轴线建立从左至右的坐标轴 $x$ ,由图10的PCB模型可知,PCB的大

小为 $50\text{ mm}\times 50\text{ mm}\times 1.6\text{ mm}$ ,故左起始点距离 $x=25\text{ mm}$ 处为PCB的中心点。PCB顶层温度随 $x$ 变化的结果如图12所示,当发热元件下有穿孔时,其他条件不变仿真结果如图13所示,可以看出,无论有无穿孔,相对于中心点温度,元器件的温度在 $15\sim 35\text{ mm}$ 范围内下降的十分明显,在此范围之外温度下降趋于平缓。随着元件发热功率的增大,无穿孔时PCB的温度从 $15\text{ mm}$ 上升至 $35\text{ mm}$ 处的下降幅度占各自总下降幅度的 $90.2\%$ , $90.3\%$ , $90.27\%$ , $90.3\%$ , $90.28\%$ 。因此当发热元器件位于铜箔中心时,元件封装热传导影响的区域面积大概是 $20\text{ mm}\times 20\text{ mm}$ ,即自身面积的16倍左右。

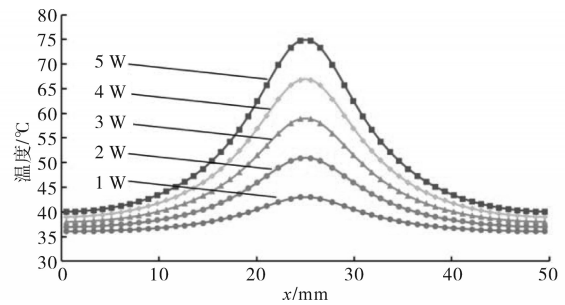


图12 无穿孔时PCB温度分布波形图

Fig.12 Waveforms of PCB temperature distribution without vias

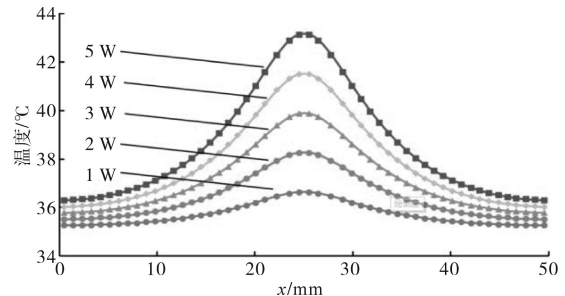


图13 有穿孔时PCB温度分布波形图

Fig.13 Waveforms of PCB temperature distribution with vias

但是在电路板设计中,发热元件周围往往存在其他器件,而且布线会将铜箔分隔开,因此需要研究元件不在铜箔中间时热量向四周传导的情况。由于器件布局、布线的影响,不能在PCB上随意铺铜,往往只能向器件一侧延伸铺铜,因此还需要研究一侧铜箔面积都对器件散热效果的影响。首先使用Altium Designer制作所需PCB,然后通过FloTHERM的FloEDA模块精确计算PCB导电层各区域的热导率值,从而精确计算PCB的温度分布。设计的PCB大小为 $50\text{ mm}\times 50\text{ mm}\times 1.6\text{ mm}$ ,铜箔厚度为 $1\text{ oz}$ ,板上芯片功率设定为 $1\sim 5\text{ W}$ ,与PCB接触面大小为 $6\text{ mm}\times 7\text{ mm}$ ,铜箔面积依次增大,如图14所示。

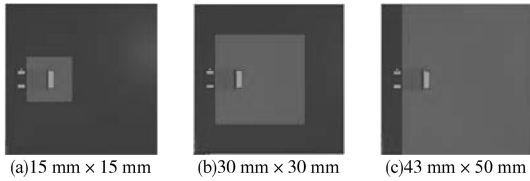


图14 不同铜箔面积的PCB

Fig.14 PCBs with different copper foil areas

将不同铜箔面积的PCB分别导入到FloEDA模块,设置仿真环境温度为20℃,根据计算流体动力学(computational fluid dynamics, CFD)得到的PCB温度分布图,获得元件最高温度与散热铜箔面积的关系。如图15所示,横轴是铜箔的面积,纵轴是PCB上的最高温度,即MOSFET温度。

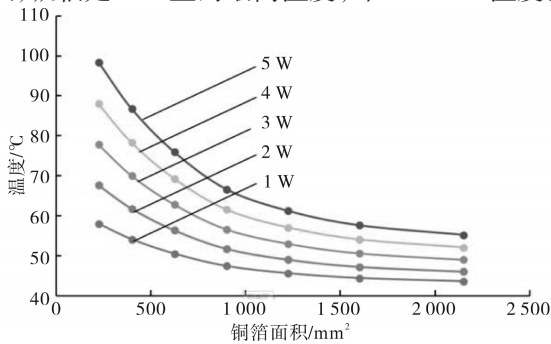


图15 铜箔面积和温度的关系

Fig.15 The relationship between copper foil area and temperature

如图15所示,随着铜箔面积的增大,MOSFET最高温度逐渐下降,但是当铜箔面积大于1000mm<sup>2</sup>之后曲线变化不再明显,即当铜箔面积在1000mm<sup>2</sup>以下时温度下降最明显,之后逐渐趋于平缓。因此,在有限的面积下设计电路板时,为了尽量降低发热元器件的温度,应该适当增大元件底部的散热铜箔面积,并且不超过1000mm<sup>2</sup>。

从PCB板级热设计的角度出发,通过建立热模型,分析散热过孔、铜箔面积对温度的影响,得到如下的热设计准则:

- 1)过孔间距尽可能的小;
- 2)过孔无填充时,过孔直径0.25mm散热效果最佳;
- 3)当填充物的导热率小于60W/(m·K)时,会有对应的最佳过孔直径,当导热率大于60W/(m·K)时,过孔直径越大越好;
- 4)仅通过铜箔进行散热时,散热铜箔面积小于1000mm<sup>2</sup>时,可以在节约面积的情况下有效散热。

### 3 物理实验

在实验室分别搭建物理平台验证上述方法的有效性。双脉冲测试物理平台如图16所示,实验采用同轴分流器测量下管漏极电流,无源探头测量栅源

电压 $V_{GS}$ 和漏源电压 $V_{DS}$ 波形。通过物理实验分别测试垂直功率环和垂直多回路环的开通、关断瞬态的双脉冲波形,所得测试波形如图17所示。

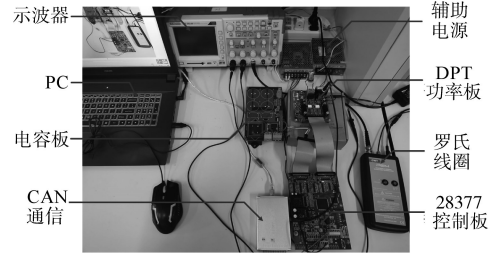
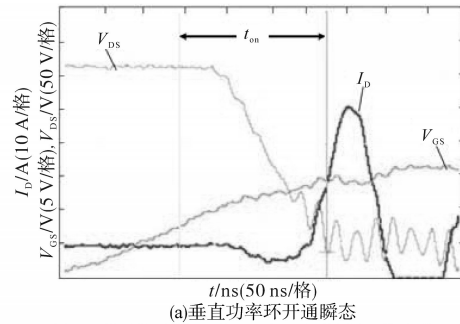
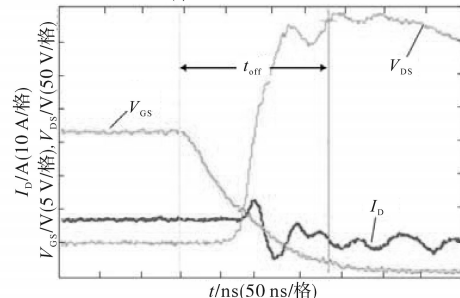


图16 双脉冲测试物理平台

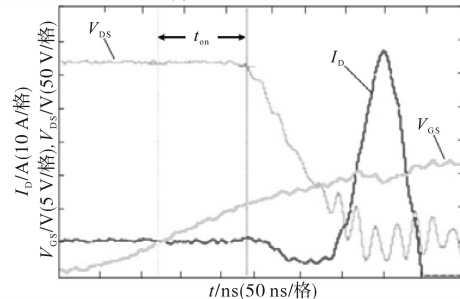
Fig.16 Double pulse test physical platform



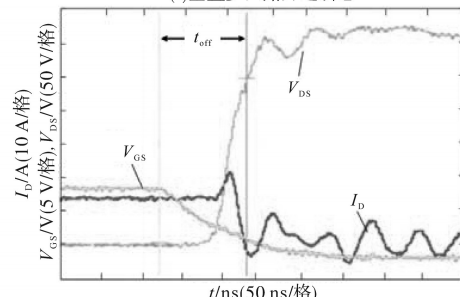
(a)垂直功率环开通瞬态



(b)垂直功率环关断瞬态



(c)垂直多回路开通瞬态



(d)垂直多回路关断瞬态

图17 双脉冲测试仿真波形

Fig.17 Simulation waveform of double pulse test

双脉冲物理测试平台数据如下表3所示。根据双脉冲仿真平台物理实验可得,垂直多回路的布局方式相对于垂直功率环的布局方式在开关时间上优化了近6%,在开关损耗上优化了近8%。物理实验数据证明,垂直多回路的布局方案在寄生参数优化上是有效的。

表3 双脉冲物理测试数据表

Tab.3 Double pulse physical test data sheet

参数	开通时间 $t_{on}/ns$	关断时间 $t_{off}/ns$	电压超调/ %	电流超调/ %
垂直功率环	136	165	30.820	106.300
垂直多回路	128	152	26.157	103.400

参数	开通损耗 $E_{on}/\mu J$	关断损耗 $E_{off}/\mu J$	电压变化率/ $(V \cdot ns^{-1})$	电流变化率/ $(A \cdot ns^{-1})$
垂直功率环	38.5	22.7	2.205	0.932
垂直多回路	35.5	20.4	2.380	1.537

与仿真实验结果相比,物理实验所得开关时间与开关损耗都有一定的差距,这是由于PCB相关寄生参数极其复杂,并且,英飞凌公司提供的器件模型,在电压上升后准确度也有所下降,不过好在仿真与实验所得数据相差并不是很大,为PCB的设计提供了一定的指导意义。

为了验证优化后的PCB设计对控制器散热的有效性以及热仿真结果的准确性,对实验室双向DC/DC电源模块进行PCB优化,并通过物理实验验证优化方法的有效性。本实验采用Fluke公司型号为TiS20的红外热成像仪测试双向DCDC变换器工作时的稳态温度分布图。本文热测试的实验设备如图18所示。

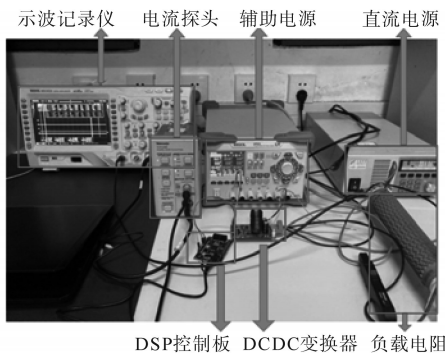


图18 热测试实验设备

Fig.18 Thermal test equipment

结合前文热仿真结果及热设计准则,对DC/DC变换器提出两条优化方案:1)由上文提到的散热过孔对功率器件散热的影响,在MOSFET的焊盘下添加散热过孔,散热过孔尽量多可以保证散热效果,根据实际情况将散热过孔的参数设计为:过孔直径0.6 mm、过孔间距0.2 mm、填充导热

率为59.3 W/(m·K)的焊料。2)根据上文提到的铺铜面积的热设计规则,铺铜面积设计约为20 mm×25 mm。

综合了两种优化方案,改进后的PCB实物如图19所示。双向DC-DC变换器工作稳定后,测试输入电压为59.978 V,输入电流为1.514 A,则输入总功率为92.3 W,测试输出电压为21.811 0 V,输出电流为3.766 A,则总输入功率为82.14 W,总体功率损耗为10.16 W,效率为88.99%。根据实测的功率损耗,可以判断每个MOSFET损耗约为5 W,即和仿真所设置的热功耗参数一致。

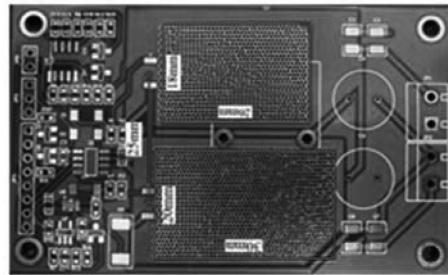
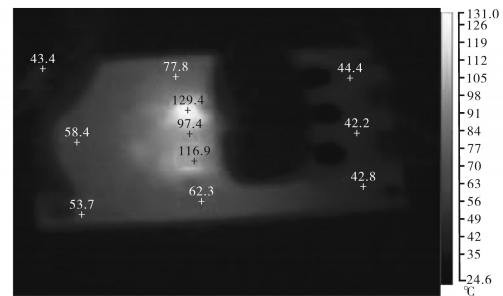


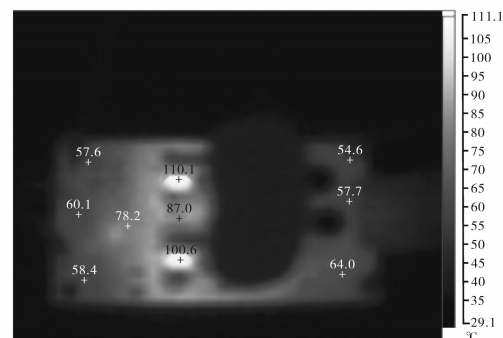
图19 改进后的PCB板

Fig.19 Improved PCB board

使用热成像仪测得改进前PCB热成像图和改进后PCB热成像图如图20所示。



(a)改进前的PCB热成像图



(b)改进后的PCB热成像图

图20 PCB热成像图

Fig.20 Diagram of PCB thermal imaging

根据热成像图,将PCB上两MOSFET温度、MOSFET间温度、边缘温度整理成如表4所示的数据。可以看出改进前的PCB上部MOSFET温度为129.4℃,下部MOSFET温度为116.9℃,改



改进后的PCB上部MOSFET温度为110.1℃,下部MOSFET温度为109.2℃,通过改进前后的测试结果对比,布局改进之后MOSFET最高温度由131.0℃下降到111.1℃,相比于原来降低了15.2%,并且整个PCB温度分布更加均匀。

表4 改进前后测试温度

Tab.4 Test temperature before and after improvement

类别	改进前测试/℃	改进后测试/℃
上管温度	129.4	110.1
下管温度	116.9	109.6
中间温度	97.4	87.0
边缘温度	60.0	86.0

## 4 结论

本文首先通过理论推导并根据仿真实验分析了开关器件的关键特性、PCB布局对寄生参数的影响,然后依据上述分析,并综合考虑实际的工程需要,基于四层板提出新型PCB多环路布局方式最大化降低布线的间磁通量以降低寄生参数,并通过Pspice仿真和双脉冲实验进行了验证,由实验结论可知,与垂直功率环的布局方式相比,垂直多环路布局方式的寄生参数与开关时间和开关损耗得到了一定程度的降低,验证了新型PCB布局方式的有效性。同时,考虑不同PCB的设计参数(过孔间距、过孔直径、过孔填充物热导率、铜箔散热面积)来改善热性能,提出双向变换器的热优化方案,然后使用热成像仪测试变换器稳定工作时的温度分布图,通过物理实验对比得到了热优化方案的降温效果,验证了热设计准则的有效性,对PCB设计具有良好指导作用。本文基于实际工程需要,综合考虑了寄生参数,散热,制造成本及工艺等因素,为PCB设计提供了可靠的设计参考。

### 参考文献

- [1] DIMARINO C, ZHANG W, HARYANI N, et al. A high-density, high-efficiency 1.2 kV SiC MOSFET module and gate drive circuit[C]//Wide Bandgap Power Devices & Applications. IEEE, 2016.
- [2] DIMARINO C, CHEN Z, BOROEYEVICH D, et al. High-temperature characterization and comparison of 1.2 kV SiC power semiconductor devices[J]. International Journal of Microcircuits & Electronic Packaging, 2013, 10(4): 138-143.
- [3] XIE R, WANG H, TANG G, et al. An analytical model for false turn-on evaluation of GaN transistor in bridge-leg configuration [C]//Energy Conversion Congress & Exposition. IEEE, 2016.
- [4] DI H, SARLIOGLU B. Comprehensive study of the performance of SiC MOSFET-based automotive DC-DC converter under the influence of parasitic inductance[J]. IEEE Transactions on Industry Applications, 2016, 52(6): 5100-5111.
- [5] CAPONET M C, PROFUMO F, DONCKER R, et al. Low stray inductance bus bar design and construction for good EMC performance in power electronic circuits[J]. IEEE Transactions on Power Electronics, 2002, 17(2): 225-231.
- [6] HASHIMOTO T, KAWASHIMA T, UNO T, et al. A system-in-package (SiP) with mounted input capacitors for reduced parasitic inductances in a voltage regulator[J]. IEEE Transactions on Power Electronics, 2010, 25(3): 731-740.
- [7] REUSCH D, STRYDOM J. Understanding the effect of PCB layout on circuit performance in a high-frequency Gallium-Nitride-based point of load converter[J]. IEEE Transactions on Power Electronics, 2014, 29(4): 2008-2015.
- [8] 闫东, 杭丽君, 李国文, 等. 考虑寄生参数影响的GaN HEMT开关特性分析模型[J]. 中国电机工程学报, 2021, 41(19): 6739-6748.  
YAN Dong, HANG Lijun, LI Guowen, et al. GaN HEMT switching characteristic analysis model considering the influence of parasitic parameters[J]. Proceedings of the CSEE, 2021, 41(19): 6739-6748.
- [9] 穆新华, 杨志勇. 开关电源中印刷电路板寄生参数对传导电磁干扰影响的研究[J]. 中国电机工程学报, 2004, 24(11): 123-127.  
MU Xinhua, YANG Zhiyong. Parasitic parameters of circuit traces and their effects on conducted EMI in switching power supply[J]. Proceedings of the CSEE, 2004, 24(11): 123-127.
- [10] 张雅静, 郑琼林, 李艳. 考虑寄生参数的高压GaN高电子迁移率晶体管的逆变器动态过程分析[J]. 电工技术学报, 2016, 31(12): 126-134.  
ZHANG Yajing, ZHENG Qionglin, LI Yan. Dynamic analysis of inverter based on high voltage GaN high electron mobility transistor[J]. Transactions of China Electrotechnical Society, 2016, 31(12): 126-134.
- [11] 郭英军, 孔德楷, 汤雨, 等. 考虑寄生参数的双管升压变换器高频工作特性分析[J]. 电工技术学报, 2022, 37(6): 1431-1441.  
GUO Yingjun, KONG Dekai, TANG Yu, et al. Analysis of operating characteristics of dual-switch boost converter considering parasitic parameters under high frequency conditions[J]. Transactions of China Electrotechnical Society, 2022, 37(6): 1431-1441.
- [12] 巴腾飞, 李艳, 梁美. 寄生参数对SiC MOSFET栅源极电压影响的研究[J]. 电工技术学报, 2016, 31(13): 64-73.  
BA Tengfei, LI Yan, LIANG Mei. The effect of parasitic parameters on gate-source voltage of SiC MOSFET[J]. Transactions of China Electrotechnical Society, 2016, 31(13): 64-73.
- [13] CHENG G, LIU H, HUANG J, et al. Steady-state thermal analysis and layout optimization of DC/DC converter[C]//Prognostics & System Health Management Conference, IEEE, 2014.

