

# 一种宽频隔离 SiC 功率器件驱动电路

汪家荣<sup>1</sup>,戴光华<sup>2</sup>,胡亮<sup>3</sup>,高敬祥<sup>4</sup>

1. 武昌首义学院 机电与自动化学院,湖北 武汉 430064;
2. 空军预警学院 预警指挥系,湖北 武汉 430019;
3. 空军预警学院 黄陂士官学校,湖北 武汉 430345;
4. 空军预警学院 预警技术系,湖北 武汉 430019)

**摘要:**提出了一种新型双边沿触发隔离驱动电路,该电路能够实现驱动信号的全隔离,抗干扰能力强;开关频率范围宽,能够实现 0 Hz ~ 500 kHz 信号传递;驱动能力强,可以很好满足 SiC 功率器件的应用需求。首先,详细介绍了电路结构和工作原理,阐述了边沿调制和解调技术。然后,论述了电路参数设计准则。最后,通过实验验证了电路理论分析和参数设计的正确性。

**关键词:**双边沿触发;宽开关频率范围;驱动电路

**中图分类号:**TM46 **文献标识码:**A **DOI:**10.19457/j.1001-2095.dqcd24516

## A Broadband Isolated Drive Circuit of the SiC Power Device

WANG Jiarong<sup>1</sup>,DAI Guanghua<sup>2</sup>,HU Liang<sup>3</sup>,GAO Jingxiang<sup>4</sup>

1. School of Mechatronics and Automation, Wuchang Shouyi University, Wuhan 430064, Hubei, China;
2. Early Warning Command Department, Air Force Early Warning Academy, Wuhan 430019, Hubei, China;
3. Radar Noncommissioned Officer School, Air Force Early Warning Academy, Wuhan 430345, Hubei, China;
4. Early Warning Technology Department, Air Force Early Warning Academy, Wuhan 430019, Hubei, China)

**Abstract:** In order to realize the application requirements of SiC power devices, a novel dual edge-triggered isolated drive circuit was proposed. The circuit have the advantages of full isolation of driving signals, strong driving ability, wide switching frequency range with 0 Hz~500 kHz signal transmission and strong of resisting disturbance. Firstly, the structure and working principle of the circuit, as well as the edge modulation and demodulation technology were introduced in detail. Then, the design criteria of circuit parameters was discussed. Finally, the correctness of the circuit theoretical analysis and parameter design was verified in a circuit experiments.

**Key words:** dual edge-triggered; wide switching frequency range; drive circuit

功率开关器件是电力电子装置的核心元件,目前广泛采用的是硅(silicon, Si)基功率器件。随着社会的发展和科技的进步,电力电子装置正向着高频化、智能化、高效率、高功率密度及高可靠性方向发展,硅基功率器件的特性难以满足电力电子装置的发展需求<sup>[1-3]</sup>。而以碳化硅(silicon carbide, SiC)为代表的第3代宽禁带半导体功率器件凭借自身的众多优良性能,如:拥有更高的耐压等级、更高的开关频率、更优良的温度特性和更低的导通损耗,可以显著提高变换器功率密度、运行效率以及整体可靠性,并大大缩小变换器的体

积和重量,实现系统的小型化和轻量化,正逐步成为电力电子装置的理想开关器件<sup>[4-6]</sup>,在电力系统、飞机舰船、高速铁路、新能源发电、电动汽车等军事和民用领域显示出了巨大的应用潜力<sup>[7-8]</sup>。

在很多应用场景,功率开关器件都需采用隔离驱动的方式,隔离驱动一般有光隔离和磁隔离两种方式。而以 SiC 为代表的第3代半导体功率器件的工作频率远高于传统硅基功率器件,采用脉冲频率调制(pulse frequency modulation, PFM)时,频率范围宽;采用脉冲宽度调制(pulse width modulation, PWM)时,脉冲宽度变化范围大。传

统的光电隔离器件难以满足要求,而高速光耦价格贵;常规的脉冲变压器隔离难以满足宽频率范围要求<sup>[9-10]</sup>。针对上述问题,本文设计了一种宽频隔离SiC功率器件驱动电路,采用脉冲变压器隔离,频率范围宽,能够实现0 Hz~500 kHz信号传递,驱动能力强,抗干扰能力强,电路简单,价格低廉。最后,通过实验验证了该驱动电路的可行性和有效性。

## 1 总体技术方案

驱动电路总体技术方案的系统框图如图1所示。驱动电路由两部分构成,即驱动信号处理电路和辅助电源。

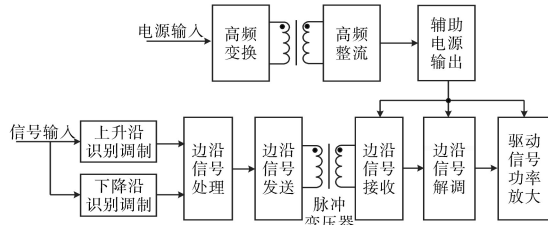


图1 驱动电路系统框图

Fig.1 Driving circuit block diagram

驱动信号处理电路采用双边沿调制与解调技术,用脉冲变压器对驱动信号进行隔离。来自

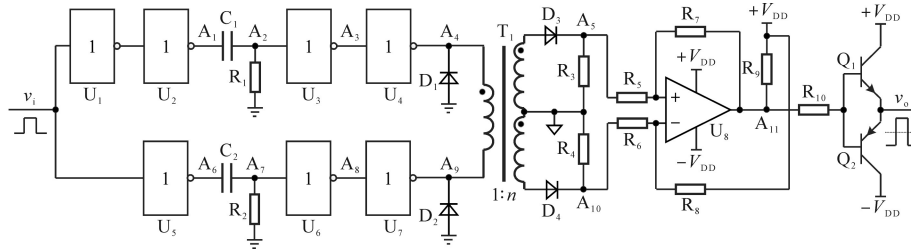


图2 双边沿调制与解调电路结构图

Fig.2 Structure diagram of dual edge modulation and demodulation circuit

图3为双边沿调制与解调电路波形。识别输入的PWM信号边沿的方法是在信号电平由低变高时,利用RC充放电过程来实现。为了提取下降沿信息,需要先把下降沿转变为上升沿,因此驱动信号的上升沿和下降沿是通过两个电路来完成的。在识别信号边沿之前,先将输入信号 $v_i$ 分为两路信号,一路为其反相信号,通过一个反相器 $U_5$ 实现;另一路信号为其同相信号,为了保证不对另一路反相信号产生干扰,此路信号通过两级反相器保持与输入信号的同相性。

首先分析输入信号上升沿的工作原理。假定初始时刻输入信号 $v_i$ 为低电平,则 $A_1, A_2$ 和 $A_4$  3处均为低电平, $A_3$ 处为高电平,电容 $C_1$ 上无电压。 $t_0$ 时刻,上升沿来临,输入信号由低电平变为

上一级控制电路的PWM信号,经过两个边沿识别调制电路,可以获取上升沿和下降沿,然后再对上升沿和下降沿进行处理,形成具有一定宽度的窄脉冲,通过高频脉冲变压器发送到次级。次级接收电路接收到边沿信号后送入解调电路,获取到高低电平信号,最后再经功率放大电路进行放大,使之具有足够的驱动能力。

为了保证SiC功率器件快速可靠地导通,驱动电路要提供足够高的正向驱动电压;为了增强SiC功率器件的抗干扰能力,避免误导通,驱动电路又要提供稳定的负向驱动电压。

辅助电源为驱动信号处理电路的次级电路提供正、负双向电源,保证SiC功率器件稳定可靠地工作。辅助电源通常采用反激变换器,技术成熟,本文不做重点介绍。

## 2 双边沿调制与解调电路

### 2.1 电路结构和工作原理

图2为双边沿调制与解调电路结构图。图中, $v_i$ 为输入的PWM信号, $U_1 \sim U_7$ 为7个反相器, $T_1$ 为脉冲变压器, $U_8$ 为比较器, $v_o$ 为输出到SiC功率器件门极的驱动信号。

高电平,则 $U_2$ 的输出 $A_1$ 处也跳变为高电平,如图3中所示。因为电容 $C_1$ 两端电压不能突变,所以 $A_2$ 处电压也跟随 $A_1$ 突变至高电平; $A_3$ 处是 $A_2$ 的反相,因此电压突变至低电平; $A_4$ 处电压又是 $A_3$ 的反相,所以跟 $A_2$ 一样也是高电平。 $A_2$ 变为高电平后, $R_1$ 上必然有电流流过,电容 $C_1$ 上也有相同电流,该电流对 $C_1$ 进行充电, $C_1$ 两端电压不断增加。因为 $A_1$ 处电压保持高电平不变,因此 $A_2$ 处电压逐渐降低。电容 $C_1$ 两端电压为

$$u_{C1} = u_{A1+} \times (1 - e^{-\frac{\Delta t}{\tau}}) \quad (1)$$

式中: $u_{A1+}$ 为输入信号为高电平时的电压幅值; $\tau$ 为 $R_1C_1$ 充电回路的时间常数; $\Delta t$ 为充电的时间。 $A_2$ 处电压为

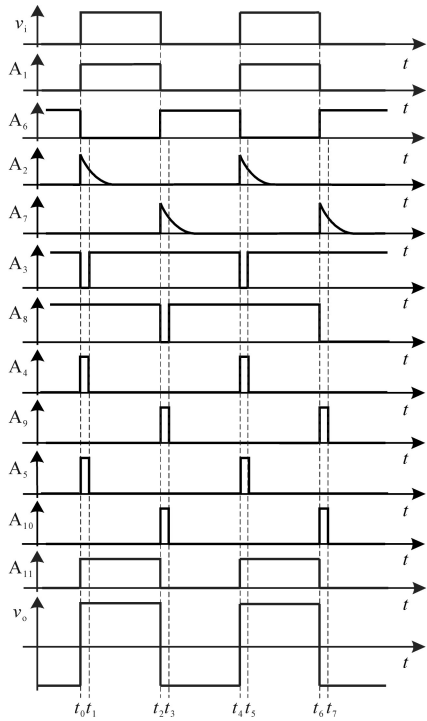


图3 双边沿调制与解调电路波形

Fig.3 Waveforms of dual edge modulation and demodulation circuit

$$u_{A2} = u_{A1+} - u_{C1} = u_{A1+} \times e^{-\frac{\Delta t}{\tau}} \quad (2)$$

当 $A_2$ 处的电压下降到反相器的阈值电平以下时, $A_2$ 处可认为由高电平变为了低电平, $A_3$ 则由低电平变为了高电平, $A_4$ 由高电平变为了低电平。这样,从输入信号的上升沿开始至 $A_4$ 从高电平变为低电平这段时间, $A_4$ 处获得了一个窄脉冲,该脉冲为驱动信号上升沿的调制信号,包含了信号上升沿的时间信息。

$A_4$ 处获得的代表上升沿的调制窄脉冲,作为高频脉冲变压器的初级输入信号,同步传递至脉冲变压器的次级。根据变压器同名端关系,上升沿窄脉冲经 $D_3$ 在 $A_5$ 处得到同步窄脉冲,因变压器次级匝数为初级的 $n$ 倍,因此 $A_5$ 处窄脉冲电压幅值为 $A_4$ 的 $n$ 倍。电压被放大的窄脉冲经 $R_5$ 送至比较器 $U_8$ 的同相输入端,使同相输入端电压高于反相输入端电压,则比较器 $U_8$ 输出为正向高电平。一旦比较器输出电平变高,则输出高电平会通过 $R_7$ 反馈回同相输入端,以保持同相输入端正向高电平。此后即使窄脉冲高电平结束,也能够依靠 $R_7$ 的正反馈作用,维持输出端为正电平,直至比较器反相输入端有高电平出现,比较器输出才会变为负电平。这样, $A_4$ 处的调制窄脉冲就解调成了电平信号。

输入信号 $v_1$ 的下降沿调制、整形以及传送到比较器反相输入端的过程与上升沿类似; $A_6 \sim A_{10}$

处的电压波形与 $A_1 \sim A_5$ 是相同的,只是对应的时间不同。具体分析过程不再重复。需要说明的是, $v_1$ 的下降沿调制是通过其反相信号即 $A_6$ 处的上升沿来完成的,因为 $A_6$ 的上升沿对应输入信号 $v_1$ 的下降沿,因此二者包含的时间信息是相同的。

通过以上过程,输入的PWM信号经过边沿识别、调制、发送、接收、解调和放大等处理过程,可得隔离的满足SiC功率器件驱动要求的驱动信号。

## 2.2 电路主要参数设计

参数设计主要是RC充放电回路中阻值和容值的设计、输出端比较器正反馈网络的设计以及高频变压器的设计。

### 2.2.1 RC充放电回路参数设计

对上升沿和下降沿的处理是相同的,因此 $R_1$ 和 $R_2$ , $C_1$ 和 $C_2$ 的值分别相同。假定反相器集成芯片阈值电平为1.4 V左右,RC充放电回路的时间常数 $\tau$ 在设计时需要做出权衡。为了提高驱动电路的工作频率, $A_4$ 和 $A_9$ 处生成的上升沿和下降沿脉冲要足够窄,这要求前面的RC充放电速度要足够快,也即RC充放电时间常数 $\tau$ 要足够小,对于500 kHz工作频率, $\tau$ 应满足:

$$\tau = RC < 1 \mu\text{s} \quad (3)$$

这样经过大约1个时间常数的充放电, $A_3$ 和 $A_8$ 处电平能够迅速反相,从而最后在 $A_4$ 和 $A_9$ 处生成足够窄的脉冲信号。

另一方面,窄脉冲必须有一定的宽度,因为后面比较器比较过程和正反馈环路完成电压锁定均需要一定的时间。经查询器件数据手册及实验测试,在输入端信号脉冲宽度应当大于400 ns。为留有一定的裕量, $\tau$ 还应满足:

$$\tau = RC > 500 \text{ ns} \quad (4)$$

得到 $\tau$ 的范围,再考虑阻容值。 $R$ 大 $C$ 小则充放电电流小, $R$ 小 $C$ 大则充放电电流大。鉴于反相器集成芯片通常的电流输出能力在几mA至十几mA,对于5 V电压,对应的阻值为几百 $\Omega$ 至几千 $\Omega$ 。为了不使芯片长时间工作于高负荷,应尽可能减小驱动器的功率损耗,综合考虑,选择:

$$R_1 = R_2 = R = 1.8 \text{ k}\Omega \quad (5)$$

$$C_1 = C_2 = C = 470 \text{ pF} \quad (6)$$

由选定的RC参数,可得实际时间常数为

$$\begin{aligned} \tau = RC &= 1.8 \times 10^3 \Omega \times 470 \times 10^{-12} \text{ F} \\ &= 846 \text{ ns} \end{aligned} \quad (7)$$

### 2.2.2 高频脉冲变压器设计

本驱动电路所用脉冲变压器主要功能是传

递边沿信号,传递的能量非常小<sup>[11-12]</sup>,绕组通过的电流非常小,因此对绕线的集肤深度、线径计算、与功率相关的计算等过程都可以忽略。

脉冲变压器通过的脉冲窄,等效频率高,携带能量小,磁感应强度变化小,需要的磁芯尺寸很小。可选择市面上常见的铁硅铝磁环。

综合体积、尺寸和制作工艺难度,选择了T044-125A铁硅铝磁环,外直径约11 mm。具体参数为:有效磁路长度2.69 cm,有效截面积0.09 cm<sup>2</sup>,体积0.243 mm<sup>3</sup>,窗口面积0.273 cm<sup>2</sup>。铁硅铝磁环的外形尺寸如图4所示。

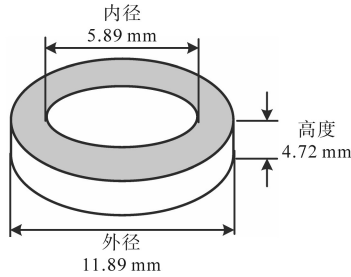


图4 铁硅铝磁环外形尺寸

Fig.4 Outline dimensions of sendust core

变压器匝比由初级脉冲电压和次级脉冲电压决定。变压器初级侧电路为5 V供电,次级侧比较器为15 V供电,为了保证次级脉冲有足够的电压,选择变压器匝比为

$$n = \frac{n_2}{n_1} = \frac{15}{5} = 3 \quad (8)$$

式中: $n_1$ 为初级绕组匝数; $n_2$ 为次级绕组匝数。

变压器初级绕组匝数 $n_1$ 由初级窄脉冲电压幅度 $U_s$ 、脉冲宽度 $T_H$ 、磁感应强度变化量 $\Delta B$ 以及磁芯有效截面积 $A_e$ 决定。初级绕组匝数 $n_1$ 为

$$n_1 = \frac{U_s T_H}{\Delta B A_e} = \frac{5 \times 1 \times 10^{-6}}{0.05 \times 0.09 \times 10^{-4}} \approx 12 \text{ 匝} \quad (9)$$

次级绕组匝数 $n_2$ 为

$$n_2 = n \times n_1 = 3 \times 12 = 36 \text{ 匝} \quad (10)$$

绕线选择直径为0.25 mm的漆包线。

### 2.2.3 比较器电阻网络设计

在图2中,脉冲信号的接收、比较器输出电压反馈是通过 $R_3 \sim R_8$ 这6个电阻实现的。脉冲信号通过 $R_3$ 和 $R_4$ 建立起比较器的输入电压信号。

为了保证比较器输出端电压被驱动信号上升沿或下降沿窄脉冲触发后能够通过正反馈锁定输出状态,要满足的条件是:当上升沿和下降沿脉冲都消失后,①在比较器 $U_8$ 输出电压为正电平时同相输入端电压要高于反相输入端电压;②在输出电压为负电平时反相输入端电压要高于同

相输入端电压。

比较器 $U_8$ 输出电压为正电平 $+V_{DD}$ 时,比较器同相输入端电压为

$$u_{+0} = \frac{R_3 + R_5}{R_3 + R_5 + R_7} \times V_{DD} \quad (11)$$

比较器 $U_8$ 的3脚反相输入端电压为

$$u_{-0} = \frac{R_4 + R_6}{R_4 + R_6 + R_8} \times V_{DD} \quad (12)$$

要满足条件①,则需要:

$$\frac{R_3 + R_5}{R_3 + R_5 + R_7} > \frac{R_4 + R_6}{R_4 + R_6 + R_8} \quad (13)$$

比较器 $U_8$ 输出为负电平 $-V_{DD}$ 时,比较器同相输入端电压为

$$u_{+1} = \frac{R_3 + R_5}{R_3 + R_5 + R_7} \times (-V_{DD}) \quad (14)$$

此电压为负,条件②自然满足。

比较器输出电压反转的条件如下:

1)输出为负电平,某一时刻驱动脉冲上升沿沿脉冲到来,其通过 $R_3$ 建立高电平,设经过 $D_3$ 后其幅值为 $V_p$ ,则合成后的同相输入端电压为

$$u_{+2} = \frac{R_3 + R_5}{R_3 + R_5 + R_7} \times (-V_{DD}) + \frac{R_7}{R_5 + R_7} \times V_p \quad (15)$$

若要比比较器在上升沿窄脉冲来临后,输出由负电平变为正电平,则此时同相输入端电压要高于反相输入端,即条件③为

$$u_{+2} > \frac{R_4 + R_6}{R_4 + R_6 + R_8} \times V_{DD} \quad (16)$$

2)当输出为正电平,下降沿脉冲到来时,其通过 $R_4$ 建立高电平,经过 $D_4$ 后其幅值为 $V_p$ ,则合成后的反相输入端电压为

$$u_{-2} = \frac{R_4 + R_6}{R_4 + R_6 + R_8} \times V_{DD} + \frac{R_8}{R_6 + R_8} \times V_p \quad (17)$$

若要比比较器在下降沿窄脉冲来临后,输出电压由正电平变为负电平,则反相输入端电压要高于同相输入端,即条件④为

$$u_{-2} > \frac{R_3 + R_5}{R_3 + R_5 + R_7} \times V_{DD} \quad (18)$$

综合考虑条件①~④,选择各电阻阻值为: $R_3=R_4=R_6=10 \text{ k}\Omega$ , $R_5=3 \text{ k}\Omega$ , $R_7=33 \text{ k}\Omega$ , $R_8=200 \text{ k}\Omega$ 。

### 2.3 实际电路原理图

实际电路原理图如图5所示。根据设计参数设计了实际电路,反相器选用集成芯片HEF4069,





压器和下降沿窄脉冲的影响,波形发生变化。

图8为100 kHz输入信号和边沿窄脉冲波形。其中,图8a为A<sub>4</sub>点上升沿窄脉冲波形;图8b为A<sub>9</sub>点下降沿窄脉冲波形。因为脉冲变压器的存在,脉冲顶端不是平的,但不影响驱动器的工作。

图9为输入信号频率在1 Hz~300 kHz时驱动电路输入和输出波形。其中,图9a为1 Hz时的

波形;图9b为100 Hz时的波形;图9c为10 kHz时的波形;图9d为100 kHz时的波形;图9e为300 kHz时的波形。可以看出,当频率达到100 kHz以上时,输出驱动波形相对于输入信号有少许延时,这是因为电路工作过程中每一级信号传递都会有一些延时,但只要电路参数一样,延时是对称的,不影响所驱动电路的工作。

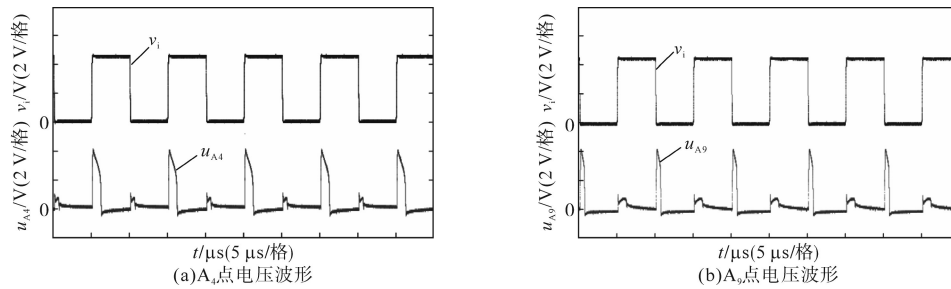


图8 上升沿和下降沿窄脉冲波形

Fig.8 Rising edge and falling edge narrow pulse waveforms

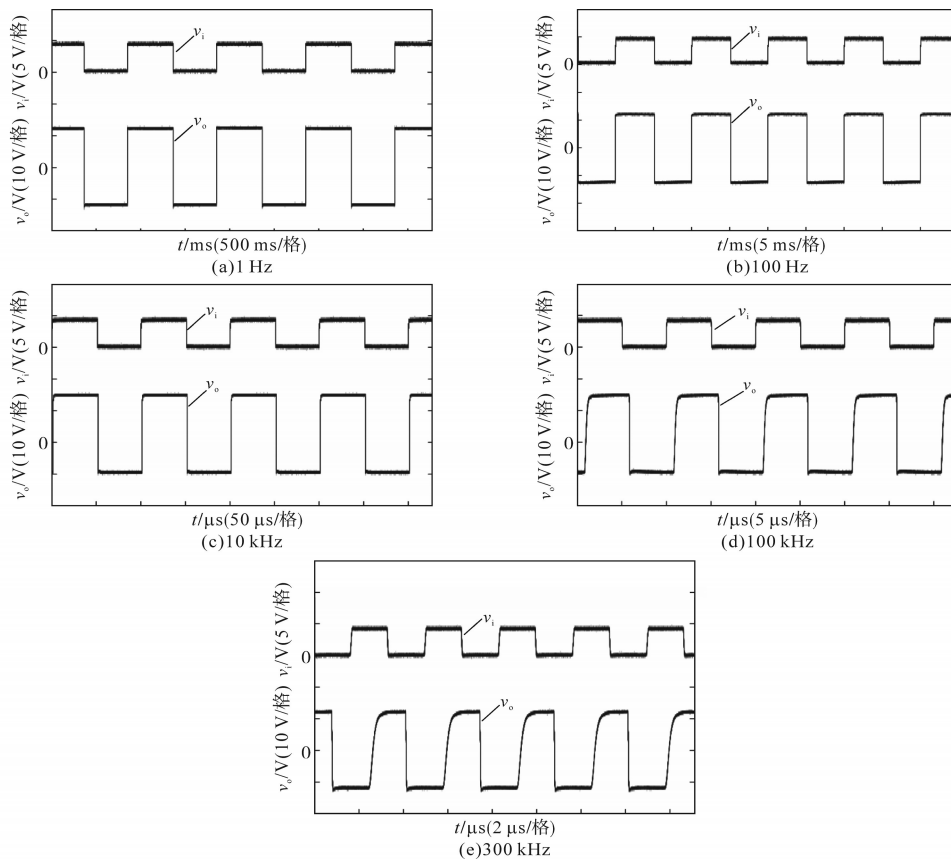


图9 在1 Hz~300 kHz时驱动电路输入和输出波形

Fig.9 Input and output waveforms of the drive circuit at 1 Hz~300 kHz

## 4 结论

本文采用双边沿调制与解调技术设计了一种宽频隔离SiC功率器件驱动电路,详细介绍了边沿调制与解调技术和驱动电路的工作原理,论

述了电路参数设计准则,通过理论分析和实验验证,主要得出如下结论:

- 1)该驱动电路频率范围宽,能够实现0 kHz~500 kHz信号传递,传输的脉冲宽度范围大,脉冲宽度大于1 μs的信号均可被传输;

2)该驱动电路采用脉冲变压器隔离,只需传递边沿信号,传递的能量非常小,能耗小,体积小,重量轻,成本低,电路原理简单,容易制作;

3)实验证实了该驱动电路的可行性和有效性以及电路参数设计原则的正确性。

#### 参考文献

- [1] 盛况,任娜,徐弘毅.碳化硅功率器件技术综述与展望[J].中国电机工程学报,2020,40(6):1741-1753.  
SHENG Kuang, REN Na, XU Hongyi. A recent review on silicon carbide power devices technologies[J]. Proceedings of the CSEE, 2020, 40(6): 1741-1753.
- [2] 卢乙,李先允,王书征,等.改善SiC MOSFET开关特性的有源驱动电路研究[J].电气传动,2021,51(16):21-26.  
LU Yi, LI Xianyun, WANG Shuzheng, et al. Research on active gate driver for improving SiC MOSFET switching characteristics [J]. Electric Drive, 2021, 51(16): 21-26.
- [3] CHENNU Jaya Venkata Phani Sekhar, MAHESHWARI Ramkrishan, LI Helong. New resonant gate driver circuit for high-frequency application of silicon carbide MOSFETs[J]. IEEE Transactions on Industrial Electronics, 2017, 64(10): 8277-8287.
- [4] 赵阳,刘平,黄守道,等.碳化硅MOSFET栅极驱动的优化设计[J].电力电子技术,2019,53(7):137-140.  
ZHAO Yang, LIU Ping, HUANG Shoudao, et al. Optimal design of silicon carbide MOSFET gate driver[J]. Power Electronics, 2019, 53(7): 137-140.
- [5] 张宇,李先允,王书征,等.SiC MOSFET栅源回路参数的串联扰动研究[J].电气传动,2021,51(16):33-38.  
ZHANG Yu, LI Xianyun, WANG Shuzheng, et al. Research on series disturbance of SiC MOSFET gate-source loop parameters [J]. Electric Drive, 2021, 51(16): 33-38.
- [6] 李国文,杭丽君,童安平,等.串扰有源抑制型SiC MOSFET驱动方法[J].中国电机工程学报,2021,41(11):3915-3923.  
LI Guowen, HANG Lijun, TONG Anping, et al. The driver design of SiC MOSFET with active crosstalk suppression[J]. Proceedings of the CSEE, 2021, 41(11): 3915-3923.
- [7] MADHUSOODHANAN S, TRIPATHI A, PATEL D, et al. Solid-state transformer and MV grid tie applications enabled by 15 kV SiC IGBTs and 10 kV SiC MOSFETs based multilevel converters[J]. IEEE Transactions on Industry Applications, 2015, 51(4): 3343-3360.
- [8] 何泽宇,刘鑫,刘洋,等.基于SiC器件的感应电机驱动器设计及性能分析[J].电气传动,2021,51(11):3-8.  
HE Zeyu, LIU Xin, LIU Yang, et al. Design and performance analysis for induction motor driver based on SiC device[J]. Electric Drive, 2021, 51(11): 3-8.
- [9] 杨俊伟,翟娟.基于脉冲变压器隔离的MOSFET驱动电路的设计[J].电子设计工程,2020,28(12):188-193.  
YANG Junwei, ZHAI Juan. Design of MOSFET drive circuit based on pulse transformer isolation[J]. Electronic Design Engineering, 2020, 28(12): 188-193.
- [10] 彭咏龙,李荣荣,李亚斌.大功率SiC MOSFET驱动电路设计[J].电测与仪表,2015,52(11):74-78.  
PENG Yonglong, LI Rongrong, LI Yabin. Design of high power SiC MOSFET driver circuit[J]. Electrical Measurement & Instrumentation, 2015, 52(11): 74-78.
- [11] 王翰祥,蒋栋.基于分立器件的SiC MOSFET功率模块门极驱动电路设计[J].电工电能新技术,2018,37(10):51-57.  
WANG Hanxiang, JIANG Dong. Design of gate driver circuit using discrete devices for SiC MOSFET power module[J]. Advanced Technology of Electrical Engineering and Energy, 2018, 37(10): 51-57.
- [12] 石经纬,赵娟,冯荣欣.基于窄脉冲传输的脉冲展宽IGBT驱动电路[J].强激光与粒子束,2019,31(11):87-93.  
SHI Jingwei, ZHAO Juan, FENG Rongxin. Driving circuit for IGBTs with long pulse duration based on narrow pulses broadening[J]. High Power Laser and Particle Beams, 2019, 31(11): 87-93.

收稿日期:2022-07-21

修改稿日期:2022-08-11